



PATENT
ATTORNEY DOCKET NO. 053785-5176

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
Yun-Bok LEE)
Application No.: 10/825,594) Group Art Unit: 2871
Filed: April 16, 2004) Examiner: Not Assigned

For: ARRAY SUBSTRATE FOR IN-PLANE SWITCHING MODE LIQUID CRYSTAL
DISPLAY DEVICE AND METHOD OF FABRICATING THE SAME

Commissioner for Patents
Arlington, VA 22202

Sir:

SUBMISSION OF PRIORITY DOCUMENT

Under the provisions of 35 U.S.C. § 119, Applicant hereby claims the benefit of the filing
date of Korean Application No. 2004-0025956, filed April 14, 2004 for the above-identified
United States Patent Application.

In support of Applicant's claim for priority, filed herewith is one certified copy of the
above.

Respectfully submitted,

MORGAN, LEWIS & BOCKIUS LLP

By:

Robert J. Goodell, Reg. No. 41,040

Dated: August 30, 2004

MORGAN, LEWIS & BOCKIUS LLP
1111 Pennsylvania Avenue, NW
Washington, D.C. 20004
202-739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2004-0025956
Application Number

출원 년 월 일 : 2004년 04월 14일
Date of Application APR 14, 2004

출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



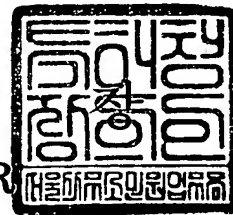
2004 년 05 월 04 일

특

허

청

COMMISSIONER



CERTIFIED COPY OF
PRIORITY DOCUMENT



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2004.04.14
【발명의 명칭】	횡전계형 액정표시장치용 기판 및 그 제조 방법
【발명의 영문명칭】	A Panel for In-Plane Switching mode Liquid Crystal Display Device and Method for fabricating the same
【출원인】	
【명칭】	엘지 . 필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	이윤복
【성명의 영문표기】	LEE, YUN BOK
【주민등록번호】	670110-1047012
【우편번호】	121-809
【주소】	서울특별시 마포구 대흥동 43-8 10/5
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2003-0090358
【출원일자】	2003.12.11
【증명서류】	미첨부
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)

【수수료】

【기본출원료】	0	면	38,000	원
【가산출원료】	89	면	0	원
【우선권주장료】	1	건	20,000	원
【심사청구료】	29	항	1,037,000	원
【합계】	1,095,000			원

【요약서】

【요약】

본 발명에 따른 원형 전극 구조 횡전계형 액정표시장치용 기판 및 그 제조 방법에 의하면, 개구 영역이 원형 구조를 가질 수 있는 패턴 구조로 공통 전극 및 화소 전극을 형성함에 따라, 어느 방향에서나 액정의 방향자가 동일하므로 특정 각에서의 색반전없이 콘트라스트를 향상시킬 수 있고, 시야각 특성을 높일 수 있다. 그리고, 블랙매트릭스와의 중첩 영역이 감소되어 합착 미스얼라인시에 제품별 발생할 수 있는 휘도차이를 최소화할 수 있는 장점을 가질 수 있다.

또한, 화소 영역별 최외곽 공통 전극이 가지는 오픈부에 모서리부를 형성함에 따라, 상기 오픈부의 모서리부를 개구 영역을 활용할 수 있고, 이와 대응되게 블랙매트릭스 패턴을 변경함으로써, 개구 영역을 넓히고 개구율을 높일 수 있는 장점을 가진다.

특히, 본 발명에 따른 원형 전극 구조 횡전계형 액정표시장치용 기판 구조는 정사각형 화소 영역으로 이루어진 4색 픽셀 구조를 적용시 개구율을 더욱 향상시킬 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

횡전계형 액정표시장치용 기판 및 그 제조 방법{A Panel for In-Plane Switching mode Liquid Crystal Display Device and Method for fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도.

도 2는 종래의 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도.

도 3은 기존의 멀티도메인 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도.

도 4는 기존의 지그재그 구조의 멀티도메인 횡전계형 액정표시장치의 시야각 특성을 나타낸 도면.

도 5는 본 발명의 제 1 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도.

도 6은 본 발명의 제 2 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도.

도 7a 내지 7d는 본 발명의 제 2 실시예에 따른 4 마스크에 의한 원형띠 전극 구조 횡전계형 액정표시장치용 기판의 제조 공정을 단계별로 나타낸 평면도.

도 8은 본 발명의 제 3 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도.

도 9a 내지 9d는 본 발명의 제 3 실시예에 따른 4 마스크 공정에 의해 달팽이꼴 전극을 가지는 횡전계형 액정표시장치용 기판의 제조하는 공정을 단계별로 나타낸 평면도.

도 10a 내지 10d는 본 발명의 제 4 실시예에 따른 3 마스크 공정에 의한 원형전극 구조를 가지는 횡전계형 액정표시장치용 기판의 제조 공정을 단계별로 나타낸 평면도.

도 11a 내지 11d는 본 발명의 제 5 실시예에 따른 3 마스크 공정에 의해 원형띠 전극 구조 횡전계형 액정표시장치용 기판을 제조하는 공정을 단계별로 나타낸 평면도.

도 12는 본 발명의 제 6 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도.

도 13은 본 발명의 제 7 실시예에 따른 스토리지 커패시터 증대 구조를 포함하는 원형띠 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도.

도 14는 본 발명의 제 8 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도.

도 15는 본 발명의 제 9 실시예에 따른 원형 전극을 가지는 횡전계형 액정표시장치용 기판에 대한 평면도.

도 16, 17은 상기 도 10a 내지 10d의 절단선 "XVI-XVI", "XVII-XVII"에 따라 절단된 단면을 각각 도시한 단면도.

<도면의 주요부분에 대한 부호의 설명>

212 : 게이트 배선 214 : 공통 배선

215 : 오픈 영역 218 : 오픈부

220a, 220b : 제 1, 2 공통전극 패턴

220 : 공통 전극 225 : 반도체 물질층

228 : 데이터 배선

238a, 238b : 제 1, 2 화소전극 패턴

238 : 화소 전극

240a, 240b : 제 1, 2 인출 배선

240 : 인출 배선 241 : 연결 배선

AA : 개구 영역 BA : 블랙매트릭스 형성영역

CO : 모서리부 P : 화소 영역

SC : 반도체 영역 T : 박막트랜지스터

w1 : 제 1 폭 w2 : 제 2 폭

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <31> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것이며, 특히
 횡전계형(IPS ; In-Plane Switching) 액정표시장치용 기판 및 그 제조 방법에 관한 것이다.
- <32> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.
 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액
 정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

- <33> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <34> 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- <35> 일반적으로 액정표시장치는 공통 전극이 형성된 컬러필터 기판과 화소 전극이 형성된 어레이 기판과, 두 기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통 전극과 화소 전극 간의 상-하로 걸리는 수직 전기장에 의해 액정을 구동시키는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- <36> 그러나, 전술한 수직 전기장에 의한 액정구동은 시야각 특성이 우수하지 못하므로, 이를 개선하기 위해 수평 전기장에 의해 액정을 구동시켜 광시야각 특성을 가지는 횡전계형 액정표시장치가 제안되고 있다.
- <37> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도이다.
- <38> 도시한 바와 같이, 컬러필터 기판인 상부 기판(10)과 어레이 기판인 하부 기판(20)이 서로 이격되어 대향하고 있으며, 이 상부 기판(10) 및 하부 기판(20) 사이에는 액정층(30)이 개재되어 있는 구조에서, 상기 하부 기판(20) 내부면에는 공통 전극(22) 및 화소 전극(24)이 모두 형성되어 있다.

- <39> 상기 액정층(30)은 상기 공통 전극(22)과 화소 전극(24)의 수평전계(26)에 의해 작동되고, 액정층(30)내 액정분자가 수평전계에 의해 이동하므로 시야각이 넓어지는 특성을 띠게 된다.
- <40> 한 예로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 80 ~ 85°방향에서 가시할 수 있다.
- <41> 이하, 도 2는 종래의 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도이다.
- <42> 도시한 바와 같이, 게이트 배선(40) 및 데이터 배선(42)이 서로 교차되게 형성되어 있고, 게이트 배선(40) 및 데이터 배선(42)의 교차 지점에는 박막트랜지스터(T)가 형성되어 있다. 게이트 배선(40) 및 데이터 배선(42)의 교차 영역은 화소 영역(P)으로 정의되고, 화소 영역(P)에는 공통 전극(44) 및 화소 전극(46)이 모두 형성되어 있고, 두 전극 간의 횡전계에 의해 액정이 수평 배열되는 영역을 실질적인 개구 영역(I)으로 하는 것을 특징으로 한다.
- <43> 좀 더 상세히 설명하면, 상기 박막트랜지스터(T)와 연결되어 인출 배선(48)이 형성되어 있고, 인출 배선(48)에서는 데이터 배선(42)과 동일한 방향으로 다수 개의 화소 전극(46)이 분기되어 있다. 그리고, 상기 게이트 배선(40)과 동일한 방향으로 일정간격 이격되게 공통 배선(50)이 형성되어 있고, 상기 공통 배선(50)에서는 화소 전극(46)과 서로 엇갈리게 다수 개의 공통 전극(44)이 형성되어 있다.
- <44> 한 예로, 본 도면에서는 공통 전극(44)과 화소 전극(46)의 개구 영역(I)을 하나의 블록으로 정의했을 때 4 블록 구조에 대해서 도시하였다.

- <45> 이와 같이, 횡전계형 액정표시장치는 공통 전극과 화소 전극 간에 형성되는 횡전계에 의해 액정 분자를 구동시키는 구조이기 때문에, 기존의 수직전계형 일반적인 액정표시장치보다 시야각이 향상되는 효과를 가질 수 있다.
- <46> 최근에는 횡전계형 액정표시장치의 시야각 특성을 좀 더 향상시키기 위하여, 도메인을 다수 개로 분할하는 구조가 제안되고 있다.
- <47> 도 3은 기존의 멀티도메인 횡전계형 액정표시장치용 어레이 기판에 대한 개략적인 평면도이며, 상기 도 2와 중복되는 부분에 대한 설명은 간략히 하고 특징적인 구조를 중심으로 설명하면, 인출 배선(58) 및 공통 배선(60)으로부터 각각 화소 전극(56) 및 공통 전극(54)이 서로 엇갈리게 다수 개 분기됨에 있어서, 상기 화소 전극(56) 및 공통 전극(54)이 지그재그로 여러 번 꺾인 구조로 이루어진 것을 특징으로 한다.
- <48> 그리고, 상기 화소 전극(56) 및 공통 전극(54) 사이 구간에 위치하는 액정 분자 들은 화소 전극(56) 및 공통 전극(54)의 꺾임부를 기준으로 서로 다르게 배열되어 멀티도메인 구조를 이루게 되어, 기존의 일자형 전극 구조에 비해 시야각이 개선된다.
- <49> 상기 인출 배선(58)은, 상기 공통 배선(60)과 중첩되게 위치하여 인출배선 패턴(58)과 공통 배선(60)의 중첩 영역은 스토리지 커패시터(C_{ST})를 이룬다. 그리고, 상기 다수 개의 화소 전극(56) 중 어느 한 화소 전극(56)은 박막트랜지스터(T)용 드레인 전극(62)과 일체형 패턴으로 이루어져 있다.
- <50> 그러나, 기존의 지그재그 구조를 이용한 멀티도메인 횡전계형 액정표시장치에 의하면 시야각도에 따라 액정의 방향자가 다르기 때문에 색반전이 발생되고 이에 따라 시야각 개선에 한계가 있었다.

<51> 도 4는 기존의 지그재그 구조의 멀티도메인 횡전계형 액정표시장치의 시야각 특성을 나타낸 도면으로서, 기존의 지그재그 구조 횡전계형 액정표시장치에 의하면 90° , 180° 방향(IVa, IVb) 즉, 상/하, 좌/우 방향으로의 시야각 특성이 개선되었으나, 45° , 135° 방향(IVc, IVd)으로의 시야각 특성이 저하되는 것을 알 수 있다.

<52> 또한, 색반전 현상도 마찬가지로 전(全)방향에 대해서 시야각도별로 차이가 존재한다

<53> 좀 더 상세히 설명하면, 액정층에 전압이 인가되면 액정 분자는 두 전극 사이의 전기장의 영향을 받아 평균적으로 대략 45° 정도 회전하게 되고, 이러한 액정 분자가 회전하는 방향에서의 계조반전(gray inversion)이 발생하게 되는데, 특히 계조표시(gray mode) 구동시에는 액정 분자의 굴절률 이방성에 의해 편광자에 대한 $45^\circ(+45^\circ)$ 방위각에 대해서는 대체적으로 황색을 띠고, $135^\circ(-45^\circ)$ 방위각에 대해서는 대체적으로 푸른색을 띠는 컬러 쉬프트가 나타난다.

【발명이 이루고자 하는 기술적 과제】

<54> 상기 문제점을 해결하기 위하여, 본 발명에서는 계조반전에 따른 컬러 쉬프트에 의한 시야각 특성 저하를 방지할 수 있는 구조의 횡전계형 액정표시장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

<55> 상기 목적을 달성하기 위하여, 본 발명에서는 개구 영역을 원형띠 또는 달팽이꼴 구조로 구성할 수 있는 패턴 구조로 공통 전극 및 화소 전극을 형성함(이하, 원형 전극으로 약칭함.)으로써, 액정 방향자가 어느 방향에서 보든지 동일해져 이에 따라 색반전을 방지하고 시야각 특성을 향상시키고자 한다.

<56> 본 발명의 또 하나의 목적에서는, 개구율 향상 구조를 포함하는 원형 전극을 가지는 횡전계형 액정표시장치 및 그 제조 방법을 제공하고자 한다.

<57> 이를 위하여, 본 발명에서는 화소 영역별 최외곽 공통전극 패턴이 가지는 오픈부에 모서리부를 형성하고자 한다. 상기 모서리부는, 최외곽 개구 영역이 가지는 최소 폭보다 큰 값을 가지는 위치에 형성된 모서리부에 해당되는 것을 특징으로 하며, 이에 따라 오픈부와 대응되게 블랙매트릭스의 오픈부를 모서리부를 가지는 오픈부로 형성함으로써, 오픈부의 모서리부를 개구 영역으로 활용함으로써 개구율을 높일 수 있다.

【발명의 구성 및 작용】

<58> 상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에서는 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기되며, 오픈부를 가지는 공통 전극과; 상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 상기 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시장치용 기판을 제공한다.

<59> 본 발명의 제 2 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기되며, 오픈부를 가지는 공통 전극과; 상기 드레인 전극에서 연장형성된 연결 배선과; 상기 연결 배선과 연결되며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 상기 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시장치용 기판을 제공한다.

<60> 본 발명의 제 3 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과; 상기 드레인 전극에서 연장형성된 연결 배선과; 상기 공통 배선과 연결되고, 상기 연결 배선과는 이격되게 위치하며, 투명 도전성 물질로 이루어지고, 오픈부를 가지는 공통 전극과; 상기 연결 배선과 연결되고, 상기 공통 배선과는 이격되게 위치하며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성되고, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 상기 개구 영역의 최소 폭보

다 큰 값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시 장치용 기판을 제공한다.

<61> 본 발명의 제 4 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 드레인 전극에서 연장 형성된 연결 배선과; 상기 박막트랜지스터를 덮는 기판 전면에서 형성되며, 상기 공통 배선을 일부 노출시키는 제 1 콘택홀과, 상기 연결 배선을 일부 노출시키는 제 2 콘택홀을 가지는 보호층과; 상기 보호층 상부에 제 1 방향으로 이웃하는 화소 영역 간에 일체형 패턴으로 연장형성되고, 상기 제 1 콘택홀을 통해 공통 배선과 연결되며, 투명 도전성 물질로 이루어지고, 화소 영역별로 오픈부를 가지는 공통 전극과; 상기 보호층 상부에서, 상기 제 2 콘택홀을 통해 연결 배선과 연결되며, 상기 공통 전극의 오픈부 내에서 상기 공통 전극과 일정간격 이격되게 형성되며, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역을 원형미형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지며, 상기 공통 전극 및 화소 전극은 리프트 오프 공정을 통해 형성되는 것을 특징으로 하는 횡전계형 액정표시장치용 기판을 제공한다.

<62> 본 발명의 제 5 특징에서는, 제 1 방향으로 형성된 게이트 배선과; 상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와; 상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기되

며, 오픈부를 가지는 공통 전극과; 상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 달팽이꼴 형상으로 구성하는 패턴 구조를 가지며, 상기 오픈부는 상기 개구 영역의 최소폭보다 큰값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시장치용 기판을 제공한다.

<63> 상기 본 발명의 제 1 내지 제 5 특징에 따른 상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역은 정사각형 영역이고, 상기 화소 영역 단위로, 적(red), 녹색(green), 청(blue), 백(white) 서브픽셀(sub-pixel)을 각각 이루고, 네 개의 서브픽셀은 하나의 픽셀을 이루는 것을 특징으로 한다.

<64> 상기 본 발명의 제 1 내지 제 5 특징에 따른 상기 오픈부와 대응된 위치에서 모서리부를 가지고, 상기 오픈부보다 큰 면적을 가지는 오픈 영역을 가지며, 비화소 영역과 중첩된 영역에 위치하는 블랙매트릭스를 추가로 포함하고, 상기 인출 배선과 공통 전극 간의 중첩 영역은 절연체가 개재된 상태에서 스토리지 커패시터를 이루며, 상기 인출 배선은 전단 게이트 배선과 일정간격 중첩되게 연장형성되어 있고, 절연체가 개재된 상태에서 상기 인출 배선과 게이트 배선 간의 중첩 영역은 또 하나의 스토리지 커패시터를 이루는 것을 특징으로 한다.

<65> 그리고, 상기 본 발명의 제 1 내지 제 5 특징에 따른 오픈부와 대응된 위치에서 모서리부를 가지고, 상기 오픈부보다 큰 면적을 가지는 오픈 영역을 가지며, 비화소 영역과 중첩된 영역에 위치하는 블랙매트릭스를 추가로 포함하는 것을 특징으로 한다.

<66> 상기 본 발명의 제 4 특징에 따른 상기 보호층은 BCB(benzocyclobutene)인 것을 특징으로 하고, 상기 공통 전극은, 상기 데이터 배선과 중첩되어 있는 것을 특징으로 한다.

<67> 본 발명의 제 6 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 모서리부를 가지는 오픈부를 포함하며, 화소 영역의 테두리부를 두르는 위치의 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 원형띠 구조의 제 2 공통전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 3 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통전극과의 이격구간으로 정의되는 개구 영역의 주 영역을 원형띠 구조로 구성하는 화소 전극을 형성하는 단계를 포함하며, 상기 오픈부의 모서리부는 상기 개구 영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 기판의 제조방법을 제공한다.

<68> 본 발명의 제 7 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 각진 모서리부를 포함하는

오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역 내에서 원형띠 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성 부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 상기 제 1, 2 공통전극 패턴 간의 이격 영역 및 상기 공통 배선과 연결 배선간의 교차 영역을 오픈 영역으로 가지는 PR(photo resist) 패턴을 형성하는 단계와; 상기 PR 패턴을 덮는 기판 전면에서 투명 도전성 물질을 형성하는 단계와; 상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프(lift off)하는 단계와; 상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 연결배선과 연결되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조의 화소 전극을 형성하는 단계를 포함하며, 상기 오픈부의 모서리부는 상기 개구 영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 기판의 제조방법을 제공한다.

<69> 본 발명의 제 8 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 공통 배선을 서로 이격되게 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 배선을 덮는 기판 전면에 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 화소 영역에서 연결 배선과 이격되게 위치하는 제 1 오픈 영역과, 상기 공통 배선과 이격되게 위치하는 제 2 오픈 영역을 가지며, 상기 제 1, 2 오픈 영역 간의 이격구간은 원형띠 형상을 가지는 PR 패턴을 형성하는 단계와; 상기 PR 패턴을 일종의 마스크로 이용하여, 노출된 영역 상의 게이트 절연막 물질을 제거하여, 해당 영역의 공통 배선을 노출시키는 단계와; 상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와; 상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프하는 단계와; 상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 공통 배선과 연결되게 위치하는 공통 전극과, 상기 연결 배선과 연결되게 위치하는 화소 전극을 형성하는 단계를 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 제 1 오픈 영역

중 화소 영역별 최외곽 오픈 영역에는 상기 개구 영역의 최소폭보다 큰 값을 가지는 모서리부를 형성하는 단계를 포함하는 횡전계형 액정표시장치용 기판의 제조방법을 제공한다.

<70> 본 발명의 제 9 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 모서리부를 포함하는 오픈부를 가지고, 화소 영역의 테두리부를 두르는 영역에 형성된 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와; 상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 4 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 달팽이꼴 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계를 포함하며, 상기 오픈부의 모서리부는 상기 개구영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 횡전계형 액정표시장치용 기판의 제조방법을 제공한다.

<71> 본 발명의 제 10 특징에서는, 기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 모서리부를 포함하는 오픈부를 가지며, 화면을 구현하는 최

소 단위인 화소 영역의 테두리부를 두르는 영역에 위치하는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와; 상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며, 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와; 상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 제 3 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와; 상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 달팽이꼴 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계를 포함하며, 상기 오픈부의 모서리부는 상기 개구 영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 기판의 제조방법을 제공한다.

<72> 본 발명의 제 6 내지 제 10 특징에 따른 상기 오픈부의 모서리부와 대응된 위치에서 모서리부를 포함하여 상기 오픈부보다 넓은 면적의 오픈 영역을 가지며, 비화소 영역을 덮는 영역에 위치하는 블랙매트릭스를 형성하는 단계를 포함하는 것을 특징으로 한다.

- <73> 상기 제 2 특징에 따른 상기 연결 배선과 화소 전극 사이에는, 상기 화소 전극과 대응된 영역을 가지며, 상기 연결 배선을 노출시키는 제 1 오픈부를 가지는 절연층이 개재되는 것을 특징으로 하고, 상기 게이트 배선 및 데이터 배선의 일 끝단에는 각각 게이트 패드 및 데이터 패드가 형성되고, 상기 게이트 패드 및 데이터 패드와 연결되며, 상기 화소 전극과 동일 물질로 이루어진 게이트패드 전극 및 데이터패드 전극이 각각 형성되는 것을 특징으로 한다.
- <74> 상기 게이트 및 데이터 패드와 상기 게이트패드 및 데이터패드 전극 사이에 상기 절연층이 개재되며, 상기 절연층은 상기 게이트 및 데이터 패드를 일부 노출시키는 제 2, 3 오픈부를 더 포함하고, 상기 게이트패드 및 데이터패드 전극은 상기 제 2, 3 오픈부 내에 위치하는 것을 특징으로 하고, 상기 공통 전극은 제 1, 2 공통전극 패턴으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭구조로 분리된 제 1, 2 화소전극 패턴과, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 영역 내 위치하는 제 3 화소전극 패턴으로 이루어지는 것을 특징으로 한다.
- <75> 상기 제 7 특징에 따른 상기 게이트 배선을 형성하는 단계에서 상기 게이트 배선의 일 끝단에 위치하는 게이트 패드를 형성하는 단계와, 상기 데이터 배선을 형성하는 단계에서 상기 데이터 배선의 일 끝단에 위치하는 데이터 패드를 형성하는 단계를 더 포함하는 것을 특징으로 하고, 상기 PR 패턴을 형성하는 단계에서, 상기 PR 패턴에 상기 게이트 패드 및 데이터 패드의 일부 영역을 각각 노출시키는 제 2, 3 오픈부를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <76> 상기 보호층을 식각하는 단계에서, 상기 제 2, 3 오픈부를 통해 노출된 보호층 물질을 식각하는 단계를 더 포함하고, 상기 제 2 오픈부에서 상기 게이트 절연막을 포함하여 보호층을 식각하여, 상기 게이트 패드를 일부 노출시키고, 상기 제 3 오픈부에서는 상기 보호층을 식각

하여, 상기 데이터 패드를 일부 노출시키는 것을 특징으로 한다. 상기 화소 전극을 형성하는 단계에서는, 상기 제 2 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 게이트 패드와 연결되는 게이트패드 전극으로 형성하고, 상기 제 3 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 데이터 패드와 연결되는 데이터패드 전극으로 형성하는 것을 특징으로 한다.

<77> 상기 제 1 오픈부는, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭 구조로 분리되어 위치하는 제 1, 2 서브 오픈부와, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 내 위치하는 제 1 서브오픈부로 이루어지고, 상기 제 1 내지 3 서브오픈부와 대응된 위치에 제 1 내지 3 화소전극 패턴으로 이루어지는 화소 전극을 형성하는 것을 특징으로 한다.

<78> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.

<79> -- 제 1 실시예 --

<80> 본 실시예는 원형 전극을 가지는 횡전계형 액정표시장치용 기판에 대한 관한 것이며, 특히 원형띠 전극 구조 횡전계형 액정표시장치에 대한 실시예이다.

<81> 도 5는 본 발명의 제 1 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 어레이 기판에 대한 평면도이다.

<82> 도시한 바와 같이, 기판(110) 상에 제 1 방향으로 게이트 배선(112)이 형성되어 있고, 게이트 배선(112)과 교차되는 제 2 방향으로 데이터 배선(128)이 형성되어 있으며, 게이트 배선(112)과 데이터 배선(128)의 교차지점에는 박막트랜지스터(T)가 형성되어 있다.

- <83> 상기 게이트 배선(112) 및 데이터 배선(128)의 교차 영역은 화소 영역(P)으로 정의되며, 화소 영역(P)에는 화소 전극(138) 및 공통 전극(120)이 모두 형성되어 있고, 특히 본 실시예에서는 화소 전극(138) 및 공통 전극(120)이 원형 패턴으로 형성되어 있어, 어떠한 방향에서도 액정 분자의 방향자가 동일하여 특정 각도에서 색반전이 발생하는 것을 방지할 수 있는 구조인 것을 특징으로 한다.
- <84> 좀 더 상세히 설명하면, 상기 제 1 방향으로 게이트 배선(112)과 일정간격 이격되게 공통 배선(114)이 형성되어 있고, 공통 배선(114)에서 분기되어 전술한 공통 전극(120)이 구성된다. 본 실시예에 따른 공통 전극(120)은, 화소 영역(P)의 테두리부를 두르는 영역에 형성되며, 원형의 오픈부(118)를 가지는 제 1 공통전극 패턴(120a)과, 상기 제 1 공통전극 패턴(120a)의 오픈부(118) 내에서, 상기 공통 배선(114)을 중심축으로 하여 원형의 전극 구조의 제 2 공통전극 패턴(120b)으로 이루어져 있다.
- <85> 그리고, 상기 제 1 공통전극 패턴(120a)과 제 1 방향으로 중첩된 위치에는 제 1, 2 인출 배선 패턴(140a, 140b)이 형성되어 있고, 제 1, 2 인출배선 패턴(140a, 140b)에는 공통 배선(114)과 교차되는 방향으로 연결 배선(141)이 형성되어 있으며, 상기 연결 배선(141)에서는, 제 1, 2 공통전극 패턴(120a, 120b) 사이 구간에서 원형의 전극 구조의 제 1 화소전극 패턴(138a)과, 연결 배선(141)과 공통 배선(114)의 교차지점에서 원형 패턴으로 이루어진 제 2 화소전극 패턴(138b)으로 이루어진 화소 전극(138)이 분기되어 있다.
- <86> 상기 화소 영역(P)은, 전술한 연결 배선(141) 및 공통 배선(114)에 의해 네 개의 도메인으로 분리된 멀티 도메인 구조를 이룬다.

- <87> 그리고, 상기 제 1, 2 인출 배선(140a, 140b)과 제 1 공통전극 패턴(120a) 간에 중첩 영역은 스토리지 커패시터(C_{ST})를 이루는 것을 특징으로 한다.
- <88> 한편, 상기 제 1, 2 인출 배선(140a, 140b)은, 제 1 공통전극 패턴(120a)과 제 1 화소전극 패턴(138a)간에 발생하는 횡전계의 약화를 방지하기 위해, 제 1 공통전극 패턴(120a)의 외곽을 노출시키는 범위에서, 제 1 공통 전극 패턴(120a)보다 작은 면적으로 형성되는 것이 중요하다.
- <89> 이와 같이, 본 실시예에서는 횡전계 모드에서의 전극 구조를 원형으로 형성하여 멀티 도메인(multi-domain)을 형성하고, 모든 각도에서 액정의 방향자 방향이 동일하여 시야각 및 화질 특성을 향상시킬 수 있다.
- <90> -- 제 2 실시예 --
- <91> 본 실시예는, 개구율 향상구조를 포함하는 원형띠 전극 구조 횡전계형 액정표시장치용 기판 및 그 제조 방법에 대한 실시예로서, 4 마스크 공정에 의한 기판 구조 및 그 제조 공정에 대한 것이다.
- <92> 도 6은 본 발명의 제 2 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도로서, 상기 제 1 실시예와 구별되는 구조적 특징을 중심으로 설명한다.
- <93> 도시한 바와 같이, 서로 교차되게 게이트 배선(212) 및 데이터 배선(228)이 형성되어 있고, 데이터 배선(228)과 대응된 패턴 구조로 반도체 물질층(225)이 형성되어 있다. 상기 게이트 배선(212) 및 데이터 배선(228)의 교차 지점에는 박막트랜지스터(T)가 형성되어 있고, 상기 박막트랜지스터(T) 영역에 위치하는 반도체 물질층(225)은 반도체 영역(SC)을 이룬다.

- <94> 상기 게이트 배선(212) 및 데이터 배선(228)의 교차 영역에는 오픈부(218)를 가지며 화소 영역(P)의 테두리부를 두르는 영역에 위치하는 제 1 공통전극 패턴(220a)과, 상기 오픈부(218) 영역 내에서 원형띠 구조를 이루는 제 2 공통 전극 패턴(220b)으로 이루어진 공통 전극(220)이 형성되어 있고, 공통 전극(220)은 게이트 배선(212)과 평행한 방향으로 이격되게 위치하는 공통 배선(214)과 연결되어 있다.
- <95> 상기 박막트랜지스터(T)와 연결되어 인출 배선(240)이 형성되어 있고, 인출 배선(240)에는 상기 제 1, 2 공통전극 패턴(220a, 220b) 사이에는 원형띠 구조의 제 1 화소전극 패턴(238a)과, 제 2 공통전극 패턴(220b) 내부 영역에 위치하는 원형패턴 형상의 제 2 화소전극 패턴(238b)이 연결되어 있으며, 상기 제 1, 2 화소전극 패턴(238a, 238b)은 화소 전극(238)을 이룬다.
- <96> 또한, 상기 인출 배선(240)은 제 1 공통전극 패턴(220a)과 대응되는 위치에서, 제 1 공통전극 패턴(220a)과 제 1 화소전극 패턴(238a) 간의 횡전계 형성을 위해, 제 1 공통전극 패턴(220a)보다 좁은 폭으로 형성되는 것을 특징으로 하며, 실질적으로 박막트랜지스터(T)와 연결되는 제 1 인출 배선(240a)과, 제 1 인출 배선(240a)과 평행하게 마주보는 위치의 제 2 인출 배선(240b)으로 이루어지며, 본 실시예에 따른 상기 제 1, 2 인출 배선(240a, 240b)은 직사각형 패턴 구조를 가지고 있다. 그리고, 상기 제 1, 2 인출 배선(240a, 240b), 제 1, 2 화소전극 패턴(238a, 238b)은 연결 배선(241)에 의해 전기적으로 연결된다.
- <97> 상기 제 1 공통전극 패턴(220a)이 가지는 모서리부(C0 ; corner)를 가지는 오픈부(218)에 의해, 상기 제 1 공통전극 패턴(220a)과 제 1 화소전극 패턴 (238a)간에 형성되는 개구 영역(AA)에 있어서, 상기 오픈부(218)의 모서리부(C0)에서의 개구 영역(AA)의 폭인 제 1 폭(w1)

은 다른 개구 영역(AA)에서의 폭인 제 2 폭(w2)보다 큰 값을 가지게 되어, 전체 개구 영역(AA) 면적을 넓히는 효과를 가지게 된다.

<98> 또한, 도면에서 빗금친 영역은 블랙매트릭스 형성영역(BA ; black matrix area)에 해당되는 것으로, 상기 오픈부(218)의 형상 변경을 통해, 블랙매트릭스 형성 영역(BA) 또한 오픈부(218)와 대응되는 오픈 영역(215)을 가지게 되므로, 블랙매트릭스 형성영역(BA)에 의한 차단 영역의 감소로 개구율을 높일 수 있다.

<99> 전술한 블랙매트릭스는, 상기 기판과 동일 기판 상에 형성되거나 또는 대향 기판 상에 형성될 수도 있다.

<100> 본 발명에서와 같은 횡전계형 액정표시장치용 블랙매트릭스는, 일반적인 TN모드 액정표시장치와 다르게, 상기 배선과 공통 전극 간의 중첩 영역을 포함하여, 합착 마진은 최외곽 공통 전극과 중첩되는 마진을 의미하므로, 공통 전극이 가지는 오픈부보다, 상기 블랙매트릭스가 가지는 오픈 영역의 사이즈가 큰 값을 가진다.

<101> 그러나, 상기 블랙매트릭스는 최외곽 공통 전극을 가지는 오픈부 형상에 비례해서 영역 설계가 되므로, 상기 최외곽 공통 전극의 오픈부 형상 변경을 통해 차단되는 영역의 감소로 개구율을 향상시킬 수 있다.

<102> 이하, 도 7a 내지 7d는 본 발명의 제 2 실시예에 따른 4 마스크에 의한 원형띠 전극 구조 횡전계형 액정표시장치용 기판의 제조 공정을 단계별로 나타낸 평면도로서, 개구율 향상 구조 패턴의 제조 공정을 중심으로 설명한다.

- <103> 도 7a는, 기판(210) 상에 제 1 마스크 공정에 의해, 게이트 배선(212), 공통 배선(214)을 형성하는 단계이다.
- <104> 이 단계에서는, 상기 게이트 배선(212)과 연결되는 게이트 전극(216)과, 공통 배선(214)과 연결되는 공통 전극(220)을 형성하는 단계를 포함하며, 상기 공통 전극(220)은 제 1, 2 공통전극 패턴(220a, 220b)으로 이루어진다.
- <105> 좀 더 구체적으로 설명하면, 제 1 공통전극 패턴(220a)은, 모서리부(C0)를 가지는 오픈부(218)를 가지며, 화소 영역(P)의 테두리부를 두르는 영역에 위치하고, 상기 제 2 공통전극 패턴(220b)은 오픈부(218) 영역 내에서 원형띠 구조로 형성한다.
- <106> 상기 오픈부(218)의 모서리부(C0)는 개구율 향상을 위해 변경된 패턴부에 해당된다.
- <107> 도 7b는, 상기 게이트 배선(212), 게이트 전극(216), 공통 배선(214), 공통 전극(220)을 덮는 영역에, 게이트 절연막, 순수 비정질 실리콘 물질, 불순물 비정질 실리콘 물질, 금속물질을 차례대로 형성한 다음, 제 2 마스크 공정에 의해 순수 비정질 실리콘 물질, 불순물 비정질 실리콘 물질, 금속물질을 동시에 패터닝하여, 동일한 패턴 구조의 반도체 물질층(225), 데이터 배선(228)을 형성하는 단계이다.
- <108> 상기 데이터 배선(228)에는, 전술한 게이트 전극(216)의 일측과 중첩되는 소스 전극(230)이 분기되어 있고, 소스 전극(230)과 일정간격 이격되게 드레인 전극(232)을 형성하는 단계를 포함한다. 상기 소스 전극(230) 및 드레인 전극(232)과 대응된 영역에 위치하는 반도체 물질층(225) 영역은 반도체 영역(SC)을 이룬다.
- <109> 본 단계에서는, 선택영역별로 마스크의 두께를 조절하는 회절 노광법이 이용되는 것을 특징으로 한다.

<110> 도면으로 상세히 제시하지 않았지만, 상기 회절 노광법에 대해서 좀 더 상세히 설명하면, 실리콘 물질층(순수 비정질 실리콘 물질층, 불순물 비정질 실리콘 물질층), 금속층을 차례대로 증착한 다음, 상기 금속층 상부에 제 1 두께치를 가지는 포토레지스트를 도포하고, 상기 포토레지스트 상부에 투과부, 회절부, 차단부를 가지는 마스크를 배치한 다음 노광 공정을 진행한다. 한 예, 노광된 부분이 패턴으로 남는 네가티브 타입으로 패터닝 공정을 진행한다고 가정하면, 채널 형성부와 대응된 영역은 노광용 마스크의 반투과부와 대응되고, 소스 전극 및 드레인 전극 형성부는 투과부와 대응되며, 그외 영역은 차단부와 대응되게 배치됨에 따라, 현상 공정을 통해 소스 전극 및 드레인 전극 형성부는 제 1 두께치, 채널 형성부는 제 1 두께치보다 얇은 두께치의 제 2 두께치를 가지도록 패터닝된 PR패턴으로 형성된다.

<111> 다음, 상기 PR패턴을 제 2 두께치만큼 에칭(ashing)처리하여, 상기 채널 형성부의 실리콘 물질층을 노출시키는 PR패턴으로 형성하는 단계가 이어지고, 상기 에칭처리된 PR패턴을 이용하여 노출된 채널 형성부의 불순물 비정질 실리콘층을 제거하고, 그 하부층을 이루는 순수 비정질 실리콘층을 노출하여, 노출된 순수 비정질 실리콘층 영역을 채널로 구성하는 단계를 포함한다.

<112> 상기 게이트 전극(216), 반도체 영역(SC), 소스 전극(230), 드레인 전극(232)은 박막트랜지스터(T)를 이룬다.

<113> 다음, 도 7c는 상기 박막트랜지스터(T)를 덮는 영역에 절연 물질을 형성한 다음, 제 3 마스크 공정에 의해 상기 드레인 전극(232)을 일부 노출시키는 드레인 콘택홀(234)을 가지는 보호층(미도시)을 형성하는 단계이고, 도 7d는 상기 보호층(미도시) 상부에, 드레인 콘택홀(234)을 통해 드레인 전극(232)과 연결되는 화소 전극(238)을 형성하는 단계이다.

- <114> 좀 더 구체적으로 설명하면, 본 단계에서는 실질적으로 드레인 전극(232)과 연결되며, 인접한 제 1 공통전극 패턴(220a) 영역과 중첩되게 위치하는 제 1 인출 배선(240a)과, 제 1 인출 배선(240a)과 마주보는 위치에서 제 1 공통전극 패턴(220a) 영역과 중첩되게 위치하는 제 2 인출 배선(240b)과, 상기 제 1, 2 인출 배선(240a, 240b)을 연결하는 패턴이며, 상기 공통 배선(214)과 교차되게 위치하는 연결 배선(241)을 형성하는 단계와, 상기 연결 배선(241)에서 분기된 패턴 구조를 가지며, 제 1, 2 공통전극 패턴(220a, 220b) 사이 구간에 위치하며, 원형띠 구조를 가지는 제 1 화소전극 패턴(238a)과, 제 2 공통전극 패턴(220b) 내부에 위치하며, 원형 패턴 형상의 제 2 화소전극 패턴(238b)을 형성하는 단계를 포함한다.
- <115> 상기 제 1, 2 화소전극 패턴(238a, 238b)은 화소 전극(238)을 이루고, 상기 제 1, 2 인출 배선(240a, 240b), 연결 배선(241), 제 1, 2 화소전극 패턴(238a, 238b)은 일체형 패턴에 해당된다.
- <116> 이 단계에서, 상기 제 1, 2 인출 배선(240a, 240b)은 제 1 공통전극 패턴(220a) 영역과 중첩되게 위치하는데, 제 1, 2 인출 배선(240a, 240b)에 의해 제 1 공통전극 패턴(220a)과 제 1 화소전극 패턴(238a) 간의 횡전계 약화를 방지하기 위하여, 상기 제 1, 2 인출 배선(240a, 240b)은 제 1 공통전극 패턴(220a)보다 좁은 폭을 가지며, 제 1 공통전극 패턴(220a)의 내부에 위치하는 것이 바람직하다.
- <117> 이하, 본 발명의 또 다른 실시예는, 원형 전극의 또 다른 구조로써, 전술한 원형띠 전극 구조와 다르게 공통 전극 및 화소 전극이 별도의 연결 패턴없이 직접적으로 공통 배선 및 인출 배선과 연결된 구조를 가지면서, 상기 제 1, 2 실시예에서와 같이 어느 방향에서나 액정의 방

항자가 동일한 구조를 가질 수 있는 달팽이꼴 전극을 가지는 횡전계형 액정표시장치용 기판에 대한 것이다.

<118> 전술한 "달팽이꼴"에 대한 사전적 정의를 살펴보면, 예를 들어 지름이 "a"인 원 위의 점 "O"를 끝점으로 하는 현(弦) "OQ" 위 또는 그 연장 위에 "Q"로부터의 길이 "b"인 선분 "QP"를 "Q"의 양쪽에 취할 때, "Q"가 이 원주 위를 움직일 경우의 "P"의 자취인 곡선을 의미하는 것이고, 와우형(蝸牛形) 또는 리마송이라고도 불리우기도 한다.

<119> -- 제 3 실시예 --

<120> 도 8은 본 발명의 제 3 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도로서, 상기 도 6과 구별되는 구조적 특징을 중심으로 설명한다.

<121> 도시한 바와 같이, 게이트 배선(312)과 데이터 배선(328)이 교차되게 형성되어 있고, 게이트 배선(312) 및 데이터 배선(328)의 교차지점에 박막트랜지스터(T)가 형성되어 있는 구조에서, 화소 영역(P)의 주 영역을 노출시키는 오픈부(318)를 가지며, 화소 영역(P)의 테두리부를 두르는 영역에 제 1 공통전극 패턴(320a)이 형성되어 있고, 오픈부(318) 영역에는 제 1 공통전극 패턴(320a)에서 분기되어 달팽이꼴 구조로 제 2 공통전극 패턴(320b)이 형성되어 있으며, 박막트랜지스터(T)와 연결되고, 제 1 공통전극 패턴(320a)과 대응된 위치에는 인출 배선(340)이 형성되어 있으며, 인출 배선(340)에서는 제 1 공통전극 패턴(320a)과 일정간격을 유지하며, 제 1 공통전극 패턴(320a)을 감싸는 구조로 화소 전극(338)이 형성되어 있다.

- <122> 상기 제 1 공통전극 패턴(320a)과 화소 전극(338) 간 이격 구간에서의 횡전계 형성을 위해 상기 인출 배선(340)은 제 1 공통전극 패턴(320a)과 중첩됨에 있어서, 제 1 공통전극 패턴(320a)보다 좁은 폭으로 형성되는 것이 바람직하다.
- <123> 상기 인출 배선(340)과 제 1 공통전극 패턴(320a)이 중첩되는 영역은 절연체가 개재된 상태에서 스토리지 커패시터(Cst)를 이룬다.
- <124> 본 실시예에서는, 제 1 공통전극 패턴(320a)의 오픈부(318)를, 제 1 공통전극 패턴(320a)과 화소 전극(338) 간에 형성하는 개구 영역(AA) 폭보다 큰 값을 가지는 모서리부(CO)를 구성함에 따라, 모서리부(CO) 영역을 개구 영역(AA)을 전환하여 전체 개구율을 향상시킬 수 있는 것을 특징으로 한다.
- <125> 도 9a 내지 9d는 본 발명의 제 3 실시예에 따른 4 마스크 공정에 의해 달팽이꼴 전극을 가지는 횡전계형 액정표시장치용 기판의 제조하는 공정을 단계별로 나타낸 평면도로서, 상기 제 2 실시예와 구별되는 특징적인 제조 공정을 중심으로 설명한다.
- <126> 도 9a는, 제 1 마스크 공정에 의해 게이트 배선(312), 공통 배선(314)을 형성하는 단계이며, 게이트 배선(312)에서는 게이트 전극(316)이 분기되고, 공통 배선(314)에는 화소 영역(P)의 테두리부를 두르는 영역에 위치하고, 모서리부(CO)를 가지는 원형의 오픈부(318)를 포함하며, 화소 영역(P)의 테두리부 두르는 위치의 제 1 공통전극 패턴(320a)이 형성되어 있고, 오픈부(318) 내에는 달팽이꼴 구조로 이루어진 제 2 공통전극 패턴(320a)이 분기되어 있다.

- <127> 도 9b는, 상기 게이트 배선(312), 공통 배선(314), 제 1, 2 공통전극 패턴(320a, 320b)을 덮는 영역에, 제 2 마스크 공정에 의해 반도체 물질층(325), 데이터 배선(328), 반도체 영역(SC), 소스 전극(330), 드레인 전극(332), 채널(ch)을 형성하는 단계이다.
- <128> 상기 게이트 전극(316), 반도체층(326), 소스 전극(330), 드레인 전극(332)은 박막트랜지스터(T)를 이룬다.
- <129> 이 단계에서는, 상기 제 2 실시예에서 전술한 회절 노광법이 적용될 수 있다.
- <130> 도 9c는, 상기 박막트랜지스터(T)를 덮는 영역에 위치하며, 상기 드레인 전극(332)을 일부 노출시키는 드레인 콘택홀(334)을 가지는 보호층(미도시)을 형성하는 단계이다.
- <131> 도 9d는, 상기 보호층 상부에, 드레인 콘택홀(334)을 통해 드레인 전극(332)과 연결되는 화소 전극(338)을 형성하는 단계이다.
- <132> 좀 더 구체적으로 설명하면, 본 단계에서는 실질적으로 드레인 전극(332)과 연결되며, 상기 제 1 공통전극 패턴(320a)과 대응되는 영역에 인출 배선(340)과, 상기 인출 배선(340)에서 분기되며, 상기 제 2 공통전극 패턴(320b)은 일정간격을 유지하며 감싸는 구조의 달팽이꼴 구조를 가지는 화소 전극(338)을 형성하는 단계를 포함한다.
- <133> 이하, 본 발명에서는 리프트 오프(lift off) 공정을 적용하여 저마스크 공정에 의해 원형 전극을 가지는 횡전계형 액정표시장치용 기판의 제조 공정에 대한 실시예들에 대해서 제시한다.
- <134> 상기 리프트 오프 공정은, 포토레지스트 패턴이 형성된 기판 상에 금속 물질을 전면 증착한 다음, 상기 포토레지스트 패턴을 스트립(strip)하는 공정을 통해, 포토레지스트 패턴을

덮고 있는 금속 물질을 리프트 오프함으로써, 남겨진 금속물질을 패턴으로 이용하는 공정으로 정의할 수 있다.

7

<135> -- 제 4 실시예 --

<136> 본 실시예는, 리프트 오프 공정을 포함한 3 마스크 공정에 의해 원형 전극을 가지는 횡전계형 액정표시장치용 기판을 제조하는 제조 공정에 대한 실시예이며, 특히 공통 전극은 공통 배선과 동일 공정에서 형성되고, 화소 전극은 제 3 마스크 공정에서 투명 도전성 물질로 이루어지는 것을 특징으로 한다.

<137> 도 10a 내지 10d는 본 발명의 제 4 실시예에 따른 3 마스크 공정에 의한 원형전극 구조를 가지는 횡전계형 액정표시장치용 기판의 제조 공정을 패드부를 포함하여 단계별로 나타낸 평면도이고, 도 16a 내지 16d, 도 17a 내지 17d는 상기 도 10a 내지 10d의 절단선 "XVI-XVI", "XVII-XVII"에 따라 절단된 단면을 각각 도시한 단면도로서, 상기 제 2 실시예에 따른 제조 공정과 중복되는 부분에 대한 설명은 간략히 하거나 생략하며, 특히 본 마스크 공정에서는 공통 전극은 공통 배선과 동일 공정에서 형성되고, 화소 전극은 제 3 마스크 공정에서 투명 도전성 물질로 이루어지는 것을 특징으로 한다.

<138> 도 10a는, 기판(410) 상에 제 1 마스크 공정에 의해 제 1 방향으로 게이트 배선(412) 및 공통 배선(414)을 서로 이격되게 형성하는 단계이다.

<139> 상기 공통 배선(414)을 형성하는 단계에서는, 모서리부(C0)가 각진 오픈부(418)를 가지며, 화소 영역(P)의 테두리부를 두르는 영역에 위치하는 제 1 공통전극 패턴(420a)과, 오픈부

(418) 내에 원형띠 형상을 가지는 제 2 공통전극 패턴(420b)으로 이루어지는 공통 전극(420)을 형성하는 단계를 포함한다.

<140> 그리고, 상기 게이트 배선(412)을 형성하는 단계에서는, 상기 게이트 배선(412)에서는 화면을 구현하는 최소 단위인 화소 영역(P) 단위로 게이트 전극(416)이 분기되어 있다.

<141> 또한, 본 단계에서는 상기 게이트 배선(412)의 일 끝단에 게이트 패드(710)를 형성하는 단계를 포함한다.

<142> 도 10b는, 상기 제 2 실시예에서 언급한 회절 노광법을 이용한 제 2 마스크 공정에 의해, 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선(428)과, 데이터 배선(428)에서 분기된 소스 전극(430)과, 소스 전극(430)과 이격되게 위치하는 드레인 전극(432)과, 상기 데이터 배선(428), 소스 전극(430) 및 드레인 전극(432)과 대응되는 하부 영역에 위치하며, 상기 소스 전극(430) 및 드레인 전극(432)과 대응된 영역에서 반도체 영역(SC)을 가지는 반도체 물질층(425)과, 상기 소스 전극(430)과 드레인 전극(432) 사이 구간에 위치하는 채널(ch)을 형성하는 단계를 포함한다.

<143> 상기 게이트 배선(412)이 형성된 기판 상에 게이트 절연막(712)을 형성하는 단계를 더 포함하며, 상기 게이트 절연막(712) 상에 전술한 반도체 패턴 및 데이터 패턴이 차례대로 형성된다.

<144> 상기 드레인 전극(432)을 형성하는 단계에서는, 제 1 방향으로 형성된 연결 배선(433)과, 전단 게이트 배선(412)과 중첩되게 위치하는 커패시터 전극(413)을 드레인 전극(432)과 일체형 패턴으로 형성하는 단계를 포함한다.

- <145> 본 단계에서는, 상기 데이터 배선(428)의 일 끝단에 데이터 패드(714)를 형성하는 단계를 더 포함한다. 상기 데이터 패드(714)의 하부에는 대응된 패턴 구조로 상기 반도체 물질층(425)이 포함된다.
- <146> 도 10c는, 상기 데이터 배선(428)이 형성된 기판 전면에 보호층(716)을 형성하는 단계와, 상기 보호층(716) 상부에 이격 영역(EA ; electrode area)과 제 1, 2 오픈부(IIa, IIb)를 가지는 리프트 오프 공정용 PR 패턴(435)을 형성하는 단계와, 상기 PR 패턴(435)의 이격 영역(EA) 및 제 1, 2 오픈부(IIa, IIb)를 통해 노출된 보호층 영역을 식각하는 단계와, 상기 PR 패턴(435)을 덮는 영역에 투명 도전성 물질(437)을 전면 증착하는 단계이다.
- <147> 상기 보호층(716) 영역의 식각 단계에 대해서 좀 더 상세히 설명하면, 상기 이격 영역(EA) 및 제 2 오픈부(IIb)에서는 노출된 보호층(716)만을 식각하여 그 하부층의 연결 배선(433) 및 데이터 패드(714)를 각각 노출시키며, 제 1 오픈부(IIa)에서는 노출된 보호층(716) 및 그 하부층에 위치하는 게이트 절연막(712)을 포함하여 식각함으로써, 그 하부층의 게이트 패드(710)을 노출시킨다.
- <148> 상기 PR패턴(435)의 이격 영역(EA), 제 1, 2 오픈부(IIa, IIb)는 후속 공정에서 화소 전극, 게이트 패드, 데이터 패드가 각각 형성되는 영역에 해당된다.
- <149> 상기 이격 영역(EA)은, 제 1, 2 공통전극 패턴(420a, 420b) 사이 구간에서, 상기 공통 배선(414)과 비중첩되며, 상기 공통 배선(414)을 기준으로 서로 대칭되게 분리된 구조로 이루어진 제 1a, 1b 이격영역(EA Ia, EA Ib)과, 연결 배선(433)과 공통 배선(414)의 교차 영역에서 연결 배선(433) 내 위치하는 제 2 이격영역(EA II)으로 이루어진다.

- <150> 도 10d는, 상기 PR 패턴(상기 도 10c의 435)을 덮는 기판 전면에 투명 도전성 물질을 이용하여 증착한 다음, 상기 PR 패턴(상기 도 10c의 435)을 스트립하여, 상기 PR 패턴(상기 도 10c의 435)을 덮는 영역의 투명 도전성 물질(상기 도 10c의 437)을 리프트 오프하여, 상기 이격 영역(EA), 제 1, 2 오픈부(IIa, IIb)에 남겨진 투명 도전성 물질(상기 도 10c의 437) 패턴을 화소 전극(438), 게이트패드 전극(718), 데이터패드 전극(720)으로 각각 형성하는 단계이다.
- <151> 상기 화소 전극(438)은, 상기 제 1a, 1b 이격영역(상기 도 10c의 EA Ia, EA Ib)과 대응된 위치에 형성된 제 1a, 1b 화소전극 패턴(438a, 438aa)과, 상기 제 2 이격영역(상기 도 10c의 EA II)과 대응된 위치에 형성된 제 2 화소전극 패턴(438b)으로 이루어지고, 각각의 패턴은 서로 독립적인 구조로 형성되지만, 별도의 인출 배선없이도 연결배선(433)과의 접촉을 통해 드레인 전극(432)과 전기적으로 연결된다.
- <152> 그리고, 상기 게이트패드 전극(718)은 게이트 패드(710)와 연결되고, 상기 데이터패드 전극(720)은 데이터 패드(714)와 연결된다.
- <153> -- 제 5 실시예 --
- <154> 본 실시예는, 리프트 오프 공정을 포함한 3 마스크 공정에 의해 원형 전극을 가지는 횡전계형 액정표시장치용 기판을 제조하는 제조 공정에 대한 실시예이며, 특히 본 마스크 공정에서는 공통 전극과 화소 전극이 동일한 마스크 공정(제 3 마스크 공정)에서 투명 도전성 물질로 이루어지는 것을 특징으로 한다.

- <155> 도 11a 내지 11d는 본 발명의 제 5 실시예에 따른 3 마스크 공정에 의해 원형띠 전극 구조 횡전계형 액정표시장치용 기판을 제조하는 공정을 단계별로 나타낸 평면도로서, 특히 본 마스크 공정에서는 공통 전극은 공통 배선과 동일 공정에서 형성되고, 화소 전극은 제 3 마스크 공정에서 투명 도전성 물질로 이루어지는 것을 특징으로 한다.
- <156> 도 11a는, 기판(510) 상에 제 1 마스크 공정에 의해 게이트 배선(512) 및 공통 배선(514)을 서로 이격되게 형성하는 단계이고, 도 11b는, 상기 제 2 실시예에서 언급한 회절 노광법을 이용한 제 2 마스크 공정에 의해, 데이터 배선(528), 소스 전극(530), 드레인 전극(532)과, 상기 데이터 배선(528), 소스 전극(530) 및 드레인 전극(532)과 대응되는 영역에 위치하며, 상기 소스 전극(530) 및 드레인 전극(532)과 대응된 영역에서 반도체 영역(SC)을 가지는 반도체 물질층(525)과, 상기 소스 전극(530)과 드레인 전극(532) 사이 구간에 위치하는 채널(ch)을 형성하는 단계이다.
- <157> 상기 게이트 전극(516), 반도체층(526), 소스 전극(530), 드레인 전극(532)은 박막트랜지스터(T)를 이룬다.
- <158> 도 11c는, 상기 화소 영역(P)에 리프트 오프 공정용 PR 패턴(535)을 형성하는 단계와, 상기 PR 패턴(535)을 일종의 마스크로 이용하여 노출된 게이트 절연물질을 제거하여, 게이트 절연막만으로 덮여있는 기판 영역을 노출시키는 단계와, 상기 PR 패턴(535)을 덮는 기판 전면 에 투명 도전성 물질을 이용하여 증착하는 단계를 포함한다.
- <159> 상기 PR 패턴(535) 간 이격 영역(EA)은 후속 공정에서 공통 전극과 화소 전극이 형성되는 영역에 해당된다.

- <160> 상기 이격 영역(EA)은, 화소 영역(P)의 테두리부를 두르는 위치의 제 1, 2 이격영역(EA1, EA2)과, 상기 제 1, 2 이격영역(EA1, EA2) 내부에서 서로 대칭적인 구조로 반원형띠 구조를 이루는 제 3, 4 이격영역(EA3, EA4)과, 제 5, 6 이격영역(EA5, EA6) 그리고, 상기 제 5, 6 이격영역(EA5, EA6)의 내부 중심부에 위치하는 제 7 이격영역(EA7)으로 이루어진다.
- <161> 이중, 상기 제 1, 2 이격영역제 5, 6 이격영역(EA5, EA6)의 바깥라인은, 모서리부(CO)를 가지는 것을 특징으로 한다.
- <162> 도 11d는, 상기 PR 패턴(상기 도 11d의 535)을 스트립하여, 상기 PR 패턴(상기 도 11d의 535)을 덮는 영역의 투명 도전성 물질(상기 도 11d의 537)을 리프트 오프하여, 남겨진 투명 도전성 물질(상기 도 11d의 537) 영역을 화소 전극(538) 및 공통 전극(542)으로 형성하는 단계이다.
- <163> 이 단계에서는, 상기 화소 전극(538)과 연결 배선(533)그리고, 공통 전극(520)과 공통 배선(514)은 연결되는 방식으로 전기적으로 연결되므로, 하나의 마스크 공정에서 리프트 오프 방식으로 두 전극을 형성하는 공정의 특성 상, 화소 전극(538)은 공통 배선(514)간의 중첩되는 영역에서, 공통 전극(520)은 연결 배선(533)과 중첩되는 영역에서 패턴이 생략된 반원 형상을 가지는 것을 특징으로 한다. 이때, 상기 연결 배선(533)과 공통 배선(514)간 교차 영역에 위치하는 제 2 화소전극 패턴(538b)은 연결 배선(533)과 대응된 영역에만 형성한다.
- <164> 이 단계에서는, 상기 PR 패턴(상기 도 11d의 535)의 제 1, 2 이격영역(상기 도 11d의 EA1, EA2)과 대응된 영역에는 제 1 공통 전극 패턴(520a)이 형성되고, 제 3, 4 이격영역(상기 도 11d의 EA3, EA3)과 대응된 영역에는 제 1 화소전극 패턴(538a), 제 5, 6 영역(상기 도 11d

의 EA5, EA6)과 대응된 위치에 제 2 공통 전극 패턴(520b), 제 7 이격 영역(상기 도 11d의 EA7)과 대응된 위치에 제 2 화소전극 패턴(538b)을 형성하는 단계를 포함한다.

<165> 따라서, 상기 제 1 공통전극 패턴(520b)은 개구율 향상을 목적으로 개구 영역(AA)의 형성폭보다 큰 폭을 가지는 위치에 모서리부(C0)를 가지는 것을 특징으로 한다.

<166> -- 제 6 실시예 --

<167> 본 실시예는, 저유전율 보호층 사용시, 공통 전극을 데이터 배선과 중첩되게 형성하는 고개구율 구조에 대한 실시예이다.

<168> 도 12는 본 발명의 제 6 실시예에 따른 원형띠 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도로서, 상기 제 2 실시예 구조를 기본 구조로 하여 변형된 구조적 특징을 중심으로 설명한다.

<169> 도시한 바와 같이, 화소 영역(P) 단위로 공통 전극(620) 및 화소 전극(638)이 서로 일정 간격을 유지하며 원형 띠 전극 구조로 서로 엇갈리게 형성되어 있는 구조에서, 상기 공통 전극(620)은 모서리부(C0)를 가지는 오픈부(618)를 가지며, 화소 영역(P)의 테두리부를 두르는 영역에 위치하는 제 1 공통전극 패턴(620a)과, 오픈부(618) 내에서 원형띠 형상의 제 2 공통전극 패턴(620b)으로 이루어지고, 상기 화소 전극(638)은 제 1 공통전극 패턴(620a)과 제 2 공통전극 패턴(620b) 사이 구간에서 원형띠 구조로 이루어진 제 1 화소전극 패턴(638a)과, 제 2 공통전극 패턴(620b)의 내부 영역 즉, 드레인 전극(632)과 공통 배선(614)의 교차지점에서 원형띠 구조로 이루어진 제 2 화소전극 패턴(638b)으로 이루어진다.

<170> 상기 화소 전극(638)과 공통 전극(620)은 동일한 공정에서 동일한 물질로 이루어진 것을 특징으로 한다.

- <171> 그리고, 상기 데이터 배선(628)과 공통 전극(620) 사이 구간에는 저유전율 특성을 가지며 제 1, 2 콘택홀(644, 646)을 가지는 보호층이 개재되어 있고, 공통 전극(620)과 공통 배선(614)은 제 1 콘택홀을 통해 화소 전극(638)과 드레인 전극(632)은 제 2 콘택홀을 통해 연결되어 있다.
- <172> 본 발명에서는, 제 1 공통전극 패턴(620a)과 제 1 화소전극 패턴(638a) 간의 개구 영역(AA) 쪽보다 큰값을 가지도록, 화소 영역(P)이 가지는 모서리부(C0)와 대응된 위치에서 모서리부(C0)를 가지도록 오픈부(618)를 형성하여 최외곽 개구 영역을 증가시킴으로써 개구율을 향상시킬 수 있고, 특히 본 실시예에서는 저유전율 보호층에 의해 금속물질 간의 전기적 간섭을 낮출 수 있기 때문에, 공통 전극(620)의 형성 면적을 확장함에 따라 개구율을 더욱 향상시킬 수 있다.
- <173> 본 실시예에 따른 구조는, 본 발명에서 제시한 3 마스크에 의해 공통 전극과 화소 전극을 동일한 공정에서 동일한 물질로 형성하는 공정을 일 예로 하여, 고개구율 구조를 위해 공통 전극과 데이터 배선 사이에 저유전율 보호층을 개재한 4 마스크 구조에 대해서 제시한 것을 특징으로 한다.
- <174> 전술한 저유전율 보호층을 이루는 물질로는, 한 예로 BCB(benzocyclobutene)를 들 수 있다.
- <175> 이하, 본 발명의 또 다른 실시예에서는 스토리지 커패시터 증대 구조를 포함하는 원형 전극을 가지는 횡전계형 액정표시장치용 기판에 대한 실시예이다.

<176> -- 제 7 실시예 --

<177> 도 13은 본 발명의 제 7 실시예에 따른 스토리지 커패시터 증대 구조를 포함하는 원형띠 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도로서, 상기 제 2 실시예와 중복되는 부분에 대한 설명은 생략하고, 특징적인 부분을 중심으로 설명한다.

<178> 도시한 바와 같이, 제 2 인출 배선(740b)은 제 1 공통전극 패턴(720a)의 상단부와 중첩되게 위치하는 영역을 주 영역으로 하여, 전단 게이트 배선(712)과 중첩되게 연장형성되어 있다. 상기 제 2 인출 배선(740b)과 중첩되는 게이트 배선(712) 영역은 커패시터 전극(713)을 이룬다.

<179> 미도시한 절연체가 개재된 상태에서, 상기 제 1, 2 인출 배선(740a, 740b)과 제 1 공통전극 패턴(720a) 간의 중첩 영역에서 형성되는 제 1 스토리지 커패시터(Cst1)와, 제 2 인출 배선(740b)과 커패시터 전극(713) 간의 중첩 영역에서 형성되는 제 2 스토리지 커패시터(Cst2)로 이루어진 스토리지 커패시터(Cst)가 구성되어 있다.

<180> 이와 같이, 본 실시예에서는 개구율을 저하시키지 않는 범위 내에서 스토리지 커패시터를 증가시킬 수 있으며, 이에 따라 안정적인 액정 구동을 꾀할 수 있다.

<181> -- 제 8 실시예 --

<182> 도 14는 본 발명의 제 8 실시예에 따른 달팽이꼴 전극 구조 횡전계형 액정표시장치용 기판에 대한 평면도로서, 상기 제 2 실시예 구조를 기본 구조로 하여, 스토리지 캐패시턴스 형성부를 중심으로 도시하였다.

- <183> 도시한 바와 같이, 모서리부(C0)를 포함하는 오픈부(818)를 가지는 제 1 공통전극 패턴(820a)과 대응되는 패턴 구조로 인출 배선(840)이 형성되어 있고, 제 1 공통 전극 패턴(820a) 및 인출 배선(840)에서는 달팽이꼴 구조로 서로 감싸는 구조의 제 2 공통전극 패턴(820b) 및 화소 전극(838)이 분기되어 있는 구조적 특징을 가짐에 있어서, 상기 인출 배선(840)은 제 1 공통전극 패턴(820a)보다 좁은 폭을 가지며 제 1 공통 전극 패턴(820a)을 두르는 영역에 형성된다.
- <184> 상기 인출 배선(840)과 중첩되는 게이트 배선(812) 영역은 커패시터 전극(813)을 이루며, 미도시한 절연체가 개재된 상태에서, 인출 배선(840)과 제 1 공통 전극 패턴(820a)이 중첩된 영역에서 형성되는 제 1 스토리지 커패시터(Cst1)와, 인출 배선(840)과 커패시터 전극(813) 간에 형성되는 제 2 스토리지 커패시터(Cst2)으로 이루어짐에 따라, 스토리지 커패시터(Cst)의 증대로 안정적인 액정 구동을 꾀할 수 있다.
- <185> 이하, 본 발명의 또다른 실시예에는 정사각형 구조의 화소 영역으로 이루어지는 적/녹/청/백 4색 픽셀 구조로 이루어진 원형 전극 구조 횡전계형 액정표시장치용 기판에 대한 것이다.
- <186> 본 발명에 따른 원형 전극 구조는, 원형의 개구 영역을 형성하여, 모든 방향에서 액정의 방향자를 동일하게 하는 것을 주요 특징으로 하므로, 개구 영역을 상/하/좌/우에서 동일하게 형성할 수 있도록 화소 영역을 정사각형 구조로 하는 것이 개구율면에서 가장 효과적이다.
- <187> -- 제 9 실시예 --

- <188> 도 15는 본 발명의 제 2 실시예에 따른 원형 전극을 가지는 횡전계형 액정표시장치용 기판에 대한 평면도로서, 정사각형 구조의 4색 (적(red)/녹(green)/청(blue)/백(white)) 픽셀 구조를 중심으로 도시하였으며, 상기 제 2 실시예에 따른 원형 전극 구조가 기본 구조로 적용되어 있다.
- <189> 도시된 바와 같이, 화소 영역(P)이 정사각형 구조를 가지는 적/녹/청/적 4색 서브픽셀(P_R , P_G , P_B , P_W)이 하나의 픽셀(P_p)을 이루는 구조에 있어서, 각 서브픽셀 단위로 최외곽 공통전극 패턴인 제 1 공통전극 패턴(920a)은 모서리부(C0)를 가지는 오픈부(911)를 가지고 있어서, 1) 정사각형 픽셀 구조에 의한 개구율 향상과 더불어, 2) 오픈부(911)의 모서리부(C0)를 개구 영역(AA)을 효과적으로 넓힐 수 있다.
- <190> 도면 상에서, 빗금친 영역은 블랙매트릭스 형성영역(BA)에 해당되며, 블랙매트릭스가 가지는 오픈 영역(915) 또한, 상기 오픈부(911)와 대응되는 패턴 구조를 가짐에 따라, 오픈부(911)와 대응된 위치에서 모서리부(C0)를 가짐에 따라, 블랙매트릭스에 의해 차단되는 영역의 감소로 개구율이 향상될 수 있다.
- <191> 그러나, 본 발명은 상기 실시예 들로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.
- <192> 한 예로, 본 발명에 따른 정사각형 픽셀부를 가지는 액정표시장치는 RGBW 픽셀 구조로 한정하지는 않고, 본 발명에 따른 원형 전극 구조는 타원형 전극 구조를 포함한다.

【발명의 효과】

- <193> 이와 같이, 본 발명에 따른 원형 전극 구조 횡전계형 액정표시장치용 기판 및 그 제조 방법에 의하면, 개구 영역이 원형 구조를 가질 수 있는 패턴 구조로 공통 전극 및 화소 전극을 형성함에 따라, 어느 방향에서나 액정의 방향자가 동일하므로 특정 각에서의 색반전없이 콘트라스트를 향상시킬 수 있고, 시야각 특성을 높일 수 있다. 그리고, 블랙매트릭스와의 중첩 영역이 감소되어 합착 미스얼라인시에 제품별 발생할 수 있는 휘도차이를 최소화할 수 있는 장점을 가질 수 있다.
- <194> 또한, 화소 영역별 최외곽 공통 전극이 가지는 오픈부에 모서리부를 형성함에 따라, 상기 오픈부의 모서리부를 개구 영역을 활용할 수 있고, 이와 대응되게 블랙매트릭스 패턴을 변경함으로써, 개구 영역을 넓히고 개구율을 높일 수 있는 장점을 가진다.
- <195> 특히, 본 발명에 따른 원형 전극 구조 횡전계형 액정표시장치용 기판 구조는 정사각형 화소 영역으로 이루어진 4색 픽셀 구조를 적용시 개구율을 더욱 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기되며, 오픈부를 가지는 공통 전극과;

상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 상기 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

【청구항 2】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기되며, 오픈부를 가지는 공통 전극과;

상기 드레인 전극에서 연장형성된 연결 배선과;

상기 연결 배선과 연결되며, 상기 공통 전극과 일정간격 이격되어 상기 공통 전극과 서로 엇갈리게 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 상기 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

【청구항 3】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과;

상기 드레인 전극에서 연장형성된 연결 배선과;

상기 공통 배선과 연결되고, 상기 연결 배선과는 이격되게 위치하며, 투명 도전성 물질로 이루어지고, 오픈부를 가지는 공통 전극과;

상기 연결 배선과 연결되고, 상기 공통 배선과는 이격되게 위치하며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성되고, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 상기 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

【청구항 4】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 드레인 전극에서 연장형성된 연결 배선과;

상기 박막트랜지스터를 덮는 기판 전면에 형성되며, 상기 공통 배선을 일부 노출시키는 제 1 콘택홀과, 상기 연결 배선을 일부 노출시키는 제 2 콘택홀을 가지는 보호층과;

상기 보호층 상부에 제 1 방향으로 이웃하는 화소 영역 간에 일체형 패턴으로 연장형성되고, 상기 제 1 콘택홀을 통해 공통 배선과 연결되며, 투명 도전성 물질로 이루어지고, 화소 영역별로 오픈부를 가지는 공통 전극과;

상기 보호층 상부에서, 상기 제 2 콘택홀을 통해 연결 배선과 연결되며, 상기 공통 전극의 오픈부 내에서 상기 공통 전극과 일정간격 이격되게 형성되며, 상기 공통 전극과 동일 공정에서 동일 물질을 이용하여 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 오픈부는 개구 영역의 최소 폭보다 큰 값을 가지는 영역에 위치하는 모서리부를 가지며, 상기 공통 전극 및 화소 전극은 리프트 오프 공정을 통해 형성되는 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

【청구항 5】

제 1 방향으로 형성된 게이트 배선과;

상기 제 1 방향과 교차되는 제 2 방향으로 형성된 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 교차지점에 형성되며, 게이트 전극, 반도체층, 소스 전극, 드레인 전극으로 이루어진 박막트랜지스터와;

상기 제 1 방향으로 게이트 배선과 이격되게 형성된 공통 배선과, 상기 공통 배선에서 분기되며, 오픈부를 가지는 공통 전극과;

상기 박막트랜지스터와 연결되는 인출 배선과, 상기 인출 배선에서 분기되어 있으며, 상기 공통 전극과 일정간격 이격되어 서로 엇갈리게 형성된 화소 전극

을 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 달팽이꼴 형상으로 구성하는 패턴 구조를 가지며, 상기 오픈부는 상기 개구 영역의 최소폭보다 큰값을 가지는 영역에 위치하는 모서리부를 가지는 것을 특징으로 하

는 횡전계형 액정표시장치용 기판.

【청구항 6】

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

상기 게이트 배선 및 데이터 배선이 교차되는 영역으로 정의되는 화소 영역은 정사각형 영역인 횡전계형 액정표시장치용 기판.

【청구항 7】

제 6 항에 있어서,

상기 화소 영역 단위로, 적(red), 녹(green), 청(blue), 백(white) 서브픽셀(sub-pixel)을 각각 이루고, 네 개의 서브픽셀은 하나의 픽셀을 이루는 횡전계형 액정표시장치용 기판.

【청구항 8】

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

상기 오픈부와 대응된 위치에서 모서리부를 가지고, 상기 오픈부보다 큰 면적을 가지는 오픈 영역을 가지며, 비화소 영역과 중첩된 영역에 위치하는 블랙매트릭스를 추가로 포함하는 횡전계형 액정표시장치용 기판.

【청구항 9】

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

상기 인출 배선과 공통 전극 간의 중첩 영역은 절연체가 개재된 상태에서 스토리지 커패시터를 이루는 횡전계형 액정표시장치용 기판.

【청구항 10】

제 9 항에 있어서,

상기 인출 배선은 전단 게이트 배선과 일정간격 중첩되게 연장형성되어 있고, 절연체가 개재된 상태에서 상기 인출 배선과 게이트 배선 간의 중첩 영역은 또 하나의 스토리지 커패시터를 이루는 횡전계형 액정표시장치용 기판.

【청구항 11】

제 1 항 내지 제 5 항 중 어느 하나의 항에 있어서,

오픈부와 대응된 위치에서 모서리부를 가지고, 상기 오픈부보다 큰 면적을 가지는 오픈영역을 가지며, 비화소 영역과 중첩된 영역에 위치하는 블랙매트릭스를 추가로 포함하는 횡전계형 액정표시장치용 기판.

【청구항 12】

제 4 항에 있어서,

상기 보호층은 BCB(benzocyclobutene)인 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

【청구항 13】

제 4 항에 있어서,

상기 공통 전극은, 상기 데이터 배선과 중첩되어 있는 것을 특징으로 하는 횡전계형 액정표시장치용 기판.

【청구항 14】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선, 과, 모서리부를 가지는 오픈부를 포함하며, 화소 영역의 테두리부를 두르는 위치의 제 1 공통 전극 패턴과, 상기 오픈부 영역내에서 원형띠 구조의 제 2 공통전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 3 마스크 공정에 의해 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과의 이격구간으로 정의되는 개구 영역의 주 영역을 원형띠 구조로 구성하는 화소 전극을 형성하는 단계

를 포함하며, 상기 오픈부의 모서리부는 상기 개구 영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 기판의 제조방법.

【청구항 15】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 화소 영역의 테두리부를 두르며 각진 모서리부를 포함하는 오픈부를 가지는 제 1 공통전극 패턴과, 상기 오픈부 영역 내에서 원형띠 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며, 상기 소

스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 보호층을 형성하는 단계와;

상기 보호층을 덮는 영역에 위치하며, 상기 제 1, 2 공통전극 패턴 간의 이격 영역 및 상기 공통 배선과 연결 배선간의 교차 영역을 제 1 오픈부로 가지는 PR(photo resist) 패턴을 형성하는 단계와;

상기 PR 패턴을 마스크로 이용하여 상기 제 1 오픈부를 통해 노출된 보호층을 식각하는 단계와;

상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프(lift off)하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 보호층이 식각되어 노출된 상기 연결배선과 연결되며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조의 화소 전극을 형성하는 단계

를 포함하며, 상기 오픈부의 모서리부는 상기 개구 영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 기판의 제조방법.

【청구항 16】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 공통 배선을 서로 이격되게 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 배선을 덮는 기판 전면에 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 드레인 전극에서 상기 제 2 방향으로 연장된 패턴인 연결 배선과, 상기 연결 배선에서 전단 게이트 배선과 중첩된 영역에 연장된 패턴인 스토리지 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극, 연결 배선, 스토리지 전극과 대응되는 패턴 구조를 가지며 상기 소스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에 위치하며, 상기 화소 영역에서 연결 배선과 이격되게 위치하는 제 1 오픈 영역과, 상기 공통 배선과 이격되게 위치하는 제 2 오픈 영역을 가지며, 상기 제 1, 2 오픈 영역 간의 이격구간은 원형띠 형상을 가지는 PR 패턴을 형성하는 단계와;

상기 PR 패턴을 일종의 마스크로 이용하여, 노출된 영역 상의 게이트 절연막 물질을 제거하여, 해당 영역의 공통 배선을 노출시키는 단계와;

상기 PR 패턴을 덮는 기판 전면에 투명 도전성 물질을 형성하는 단계와;

상기 PR 패턴을 스트립하여, 상기 PR 패턴을 덮는 영역 상에 위치하는 투명 도전성 물질을 리프트 오프하는 단계와;

상기 리프트 오프 단계 후, 남겨진 투명 도전성 물질은, 상기 공통 배선과 연결되게 위치하는 공통 전극과, 상기 연결 배선과 연결되게 위치하는 화소 전극을 형성하는 단계

를 포함하며, 상기 공통 전극과 화소 전극은, 상기 두 전극 간의 이격 구간에 위치하는 개구 영역의 주 영역을 원형띠 형상으로 구성하는 패턴 구조를 가지고, 상기 제 1 오픈 영역 중 화소 영역별 최외곽 오픈 영역에는 상기 개구 영역의 최소폭보다 큰 값을 가지는 모서리부를 형성하는 단계를 포함하는 횡전계형 액정표시장치용 기판의 제조방법.

【청구항 17】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 모서리부를 포함하는 오픈부를 가지고, 화소 영역의 테두리부를 두르는 영역에 형성된 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 달팽이꼴 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 게이트 전극을 덮는 영역에 아일랜드 패턴구조로 반도체층을 형성하는 단계와;

상기 반도체층 상부에, 제 3 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 소스 전극을 가지는 데이터 배선과, 상기 소스 전극과 이격되게 위치하는 드레인 전극을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 4 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 5 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 덮는 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계

를 포함하며, 상기 오픈부의 모서리부는 상기 개구영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 횡전계형 액정표시장치용 기판의 제조방법.

【청구항 18】

기판 상에, 제 1 마스크 공정에 의해 제 1 방향으로, 게이트 전극을 가지는 게이트 배선과, 모서리부를 포함하는 오픈부를 가지며, 화면을 구현하는 최소 단위인 화소 영역의 테두리부를 두르는 영역에 위치하는 제 1 공통전극 패턴과, 상기 오픈부 영역내에서 덮는 구조의 제 2 공통 전극 패턴으로 이루어진 공통 전극을 가지는 공통 배선을 형성하는 단계와;

상기 게이트 전극, 게이트 배선, 공통 전극, 공통 배선을 덮는 게이트 절연막을 형성하고, 제 2 마스크 공정에 의해 상기 제 1 방향과 교차되는 제 2 방향으로 위치하는 데이터 배선과, 상기 데이터 배선에서 분기된 소스 전극과, 상기 소스 전극과 이격되게 위치하는 드레인 전극과, 상기 데이터 배선, 소스 전극, 드레인 전극과 대응되는 패턴 구조를 가지며, 상기 소

스 전극, 드레인 전극 형성부에서 반도체층을 가지는 반도체 물질층과, 상기 소스 전극 및 드레인 전극간 이격 구간에 순수 반도체 물질 영역으로 이루어진 채널을 형성하는 단계와;

상기 게이트 전극, 반도체층, 소스 전극, 드레인 전극은 박막트랜지스터를 이루고, 상기 박막트랜지스터를 덮는 기판 전면에서 제 3 마스크 공정에 의해 드레인 전극을 일부 노출시키는 드레인 콘택홀을 가지는 보호층을 형성하는 단계와;

상기 보호층 상부에 제 4 마스크 공정에 의해, 상기 드레인 전극과 연결되고, 상기 제 1 공통전극 패턴과 중첩된 영역에 위치하는 인출 배선과, 상기 인출 배선에서 분기되며, 상기 오픈부 영역 내에서 상기 제 2 공통전극 패턴과 일정간격 이격되게 위치하며, 상기 공통 전극과 이루는 개구 영역의 주 영역을 덮는 구조로 구성하는 패턴 구조의 화소 전극을 형성하는 단계

를 포함하며, 상기 오픈부의 모서리부는 상기 개구 영역의 최소폭보다 큰 값을 가지는 영역에 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 기판의 제조방법.

【청구항 19】

제 14 항 내지 제 18 항 중 어느 하나의 항에 있어서,

상기 오픈부의 모서리부와 대응된 위치에서 모서리부를 포함하여 상기 오픈부보다 넓은 면적의 오픈 영역을 가지며, 비화소 영역을 덮는 영역에 위치하는 블랙매트릭스를 형성하는 단계를 포함하며 횡전계형 액정표시장치용 기판의 제조방법.

【청구항 20】

제 2 항에 있어서,

상기 연결 배선과 화소 전극 사이에는, 상기 화소 전극과 대응된 영역을 가지며, 상기 연결 배선을 노출시키는 제 1 오픈부를 가지는 절연층이 개재되는 것을 특징으로 하는 횡전계형 액정표시장치.

【청구항 21】

제 2 항에 있어서,

상기 게이트 배선 및 데이터 배선의 일 끝단에는 각각 게이트 패드 및 데이터 패드가 형성되고, 상기 게이트 패드 및 데이터 패드와 연결되며, 상기 화소 전극과 동일 물질로 이루어진 게이트패드 전극 및 데이터패드 전극이 각각 형성되는 것을 특징으로 하는 횡전계형 액정표시장치.

【청구항 22】

제 20 항 또는 제 21 항 중 어느 하나의 항에 있어서,

상기 게이트 및 데이터 패드와 상기 게이트패드 및 데이터패드 전극 사이에 상기 절연층이 개재되며, 상기 절연층은 상기 게이트 및 데이터 패드를 일부 노출시키는 제 2, 3 오픈부를 더 포함하고, 상기 게이트패드 및 데이터패드 전극은 상기 제 2, 3 오픈부 내에 위치하는 것을 특징으로 하는 횡전계형 액정표시장치.

【청구항 23】

제 2 항에 있어서,

상기 공통 전극은 제 1, 2 공통전극 패턴으로 이루어지고, 상기 화소 전극은, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭구조로 분리된 제 1, 2 화소전극 패턴과, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 영역 내 위치하는 제 3 화소전극 패턴으로 이루어지는 것을 특징으로 하는 횡전계형 액정표시장치.

【청구항 24】

제 15 항에 있어서,

상기 게이트 배선을 형성하는 단계에서 상기 게이트 배선의 일 끝단에 위치하는 게이트 패드를 형성하는 단계와, 상기 데이터 배선을 형성하는 단계에서 상기 데이터 배선의 일 끝단에 위치하는 데이터 패드를 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【청구항 25】

제 24 항에 있어서,

상기 PR 패턴을 형성하는 단계에서, 상기 PR 패턴에 상기 게이트 패드 및 데이터 패드의 일부 영역을 각각 노출시키는 제 2, 3 오픈부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【청구항 26】

제 25 항에 있어서,

상기 보호층을 식각하는 단계에서, 상기 제 2, 3 오픈부를 통해 노출된 보호층 물질을 식각하는 단계를 더 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【청구항 27】

제 26 항에 있어서,

상기 보호층을 식각하는 단계에서는, 상기 제 2 오픈부에서 상기 게이트 절연막을 포함하여 보호층을 식각하여, 상기 게이트 패드를 일부 노출시키고, 상기 제 3 오픈부에서는 상기 보호층을 식각하여, 상기 데이터 패드를 일부 노출시키는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【청구항 28】

제 29 항에 있어서,

상기 화소 전극을 형성하는 단계에서는, 상기 제 2 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 게이트 패드와 연결되는 게이트패드 전극으로 형성하고, 상기 제 3 오픈부 내에 남겨진 상기 투명 도전성 물질 패턴을 상기 데이터 패드와 연결되는 데이터패드 전극으로 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

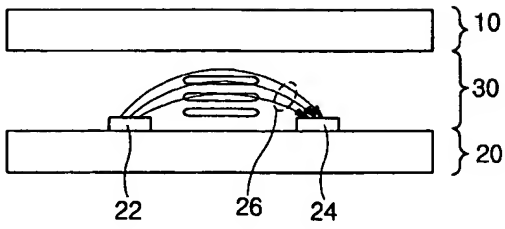
【청구항 29】

제 15 항에 있어서,

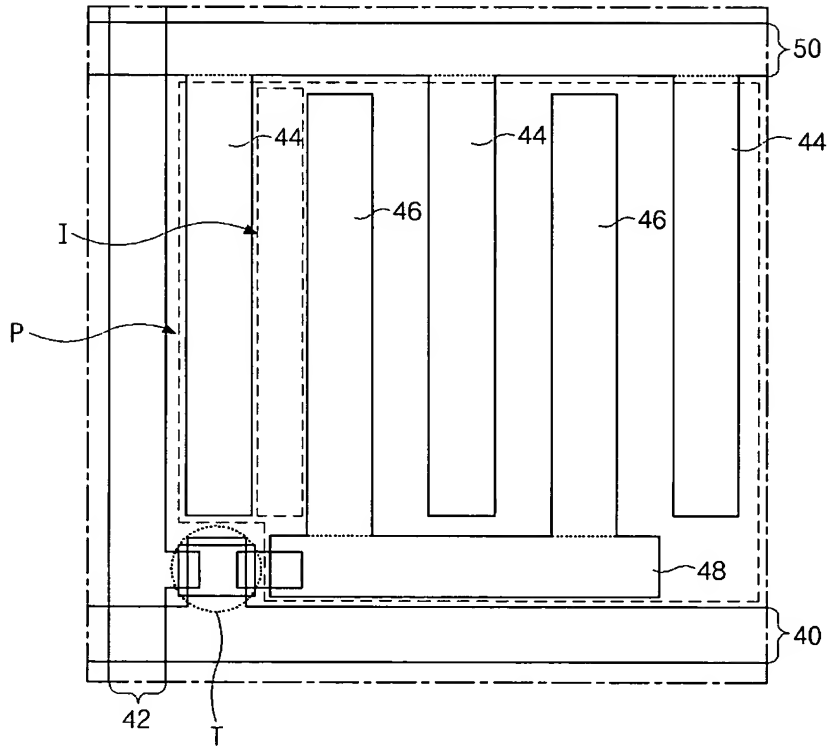
상기 제 1 오픈부는, 상기 제 1, 2 공통전극 패턴 사이에서, 상기 공통 배선을 기준으로 서로 대칭 구조로 분리되어 위치하는 제 1, 2 서브 오픈부와, 상기 연결 배선과 상기 공통 배선의 교차 영역에서 상기 연결 배선 내 위치하는 제 1 서브오픈부로 이루어지고, 상기 제 1 내지 3 서브오픈부와 대응된 위치에 제 1 내지 3 화소전극 패턴으로 이루어지는 화소 전극을 형성하는 것을 특징으로 하는 횡전계형 액정표시장치용 어레이 기판의 제조 방법.

【도면】

【도 1】

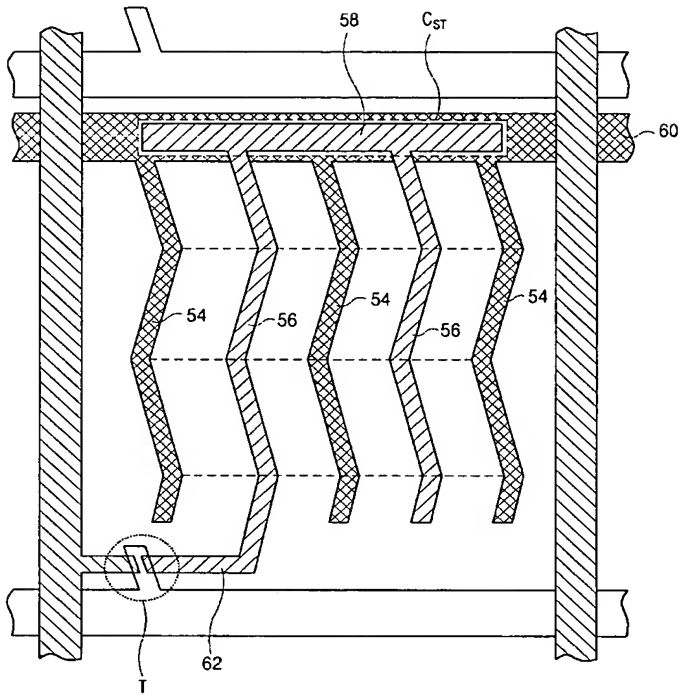


【도 2】

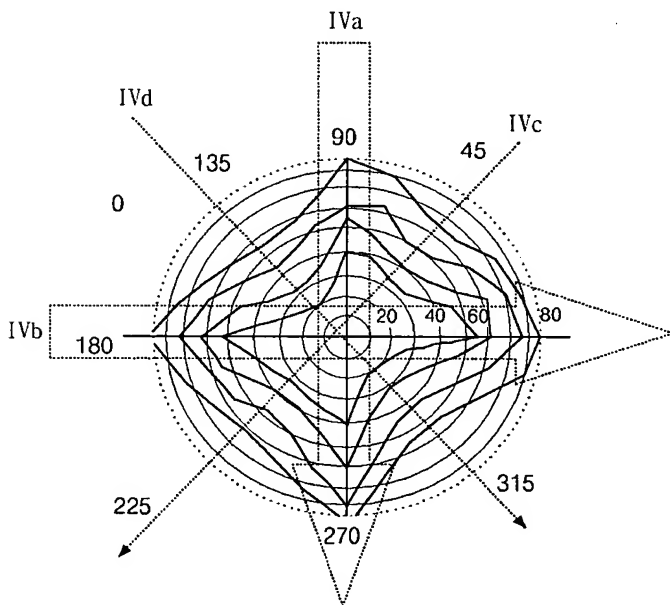




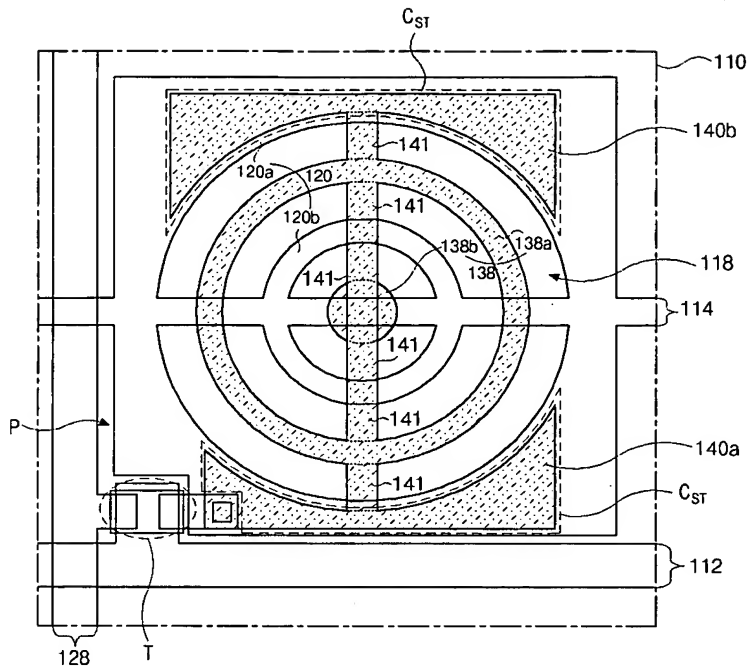
【도 3】



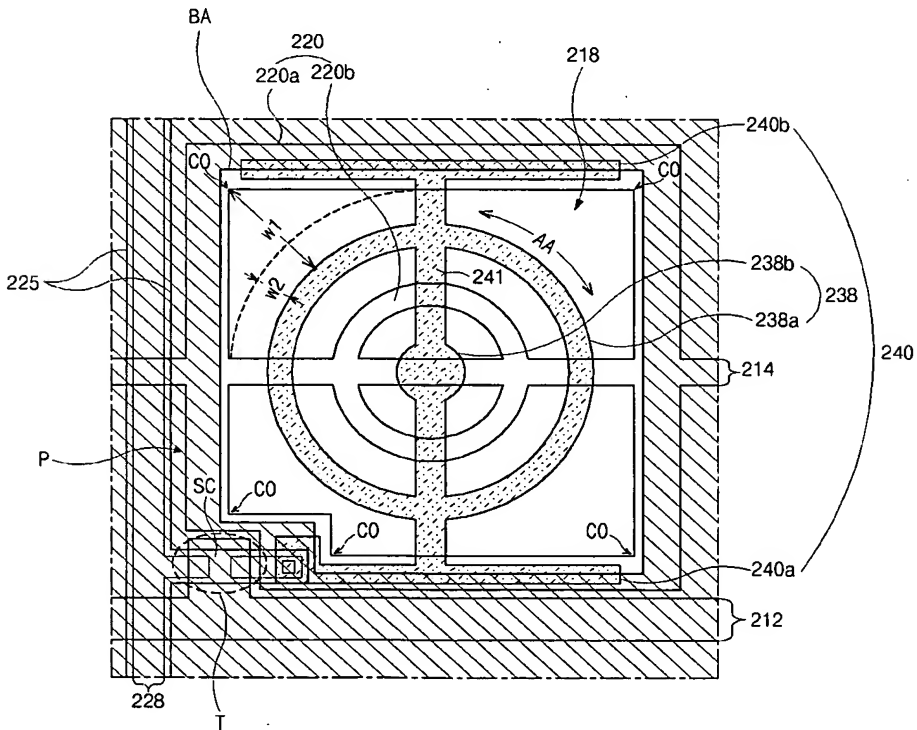
【도 4】



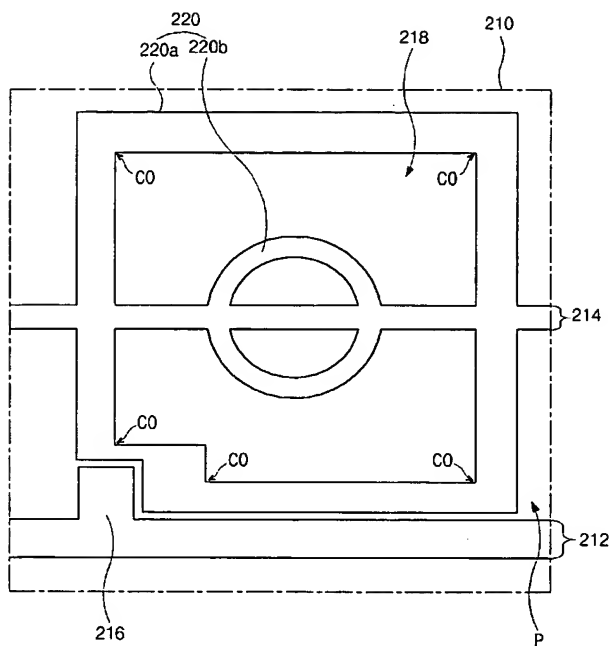
【도 5】



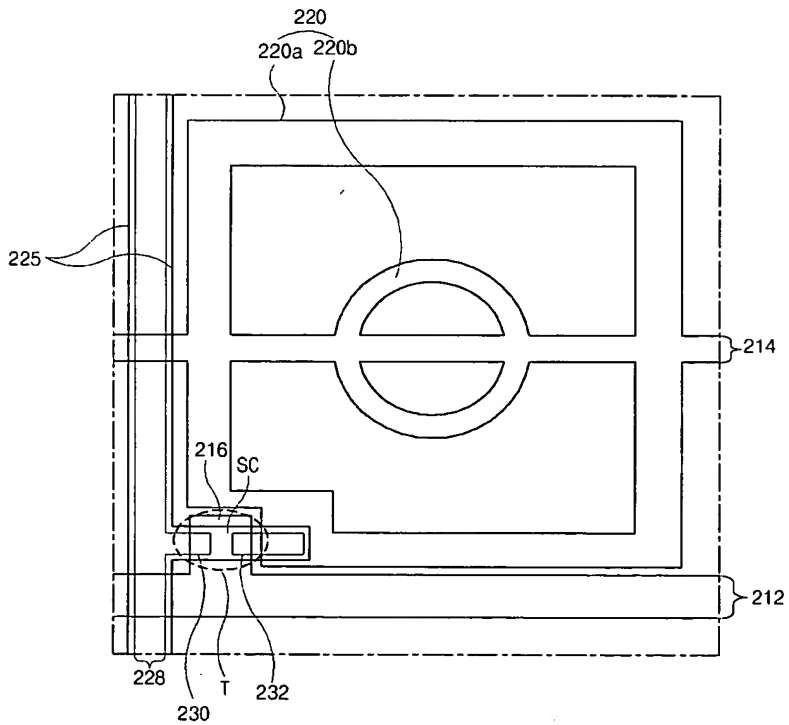
【도 6】



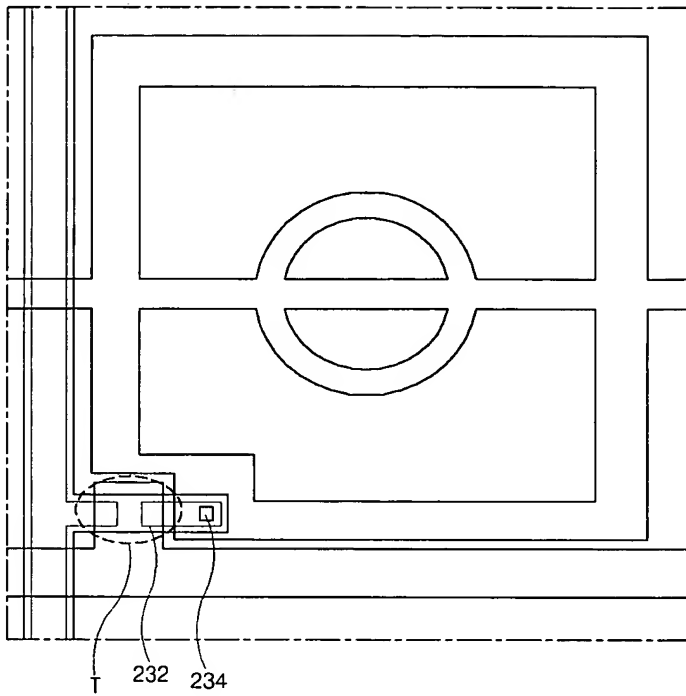
【도 7a】



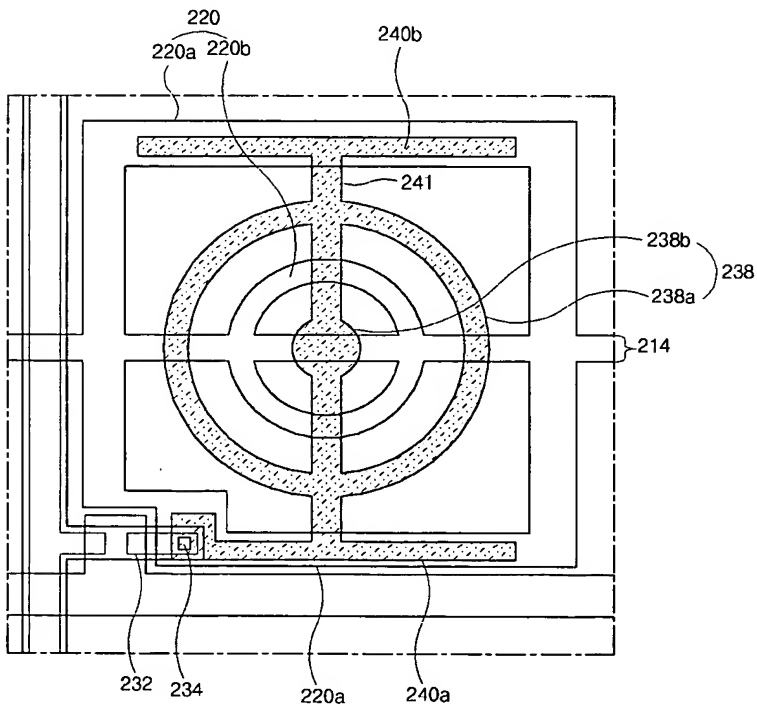
【도 7b】



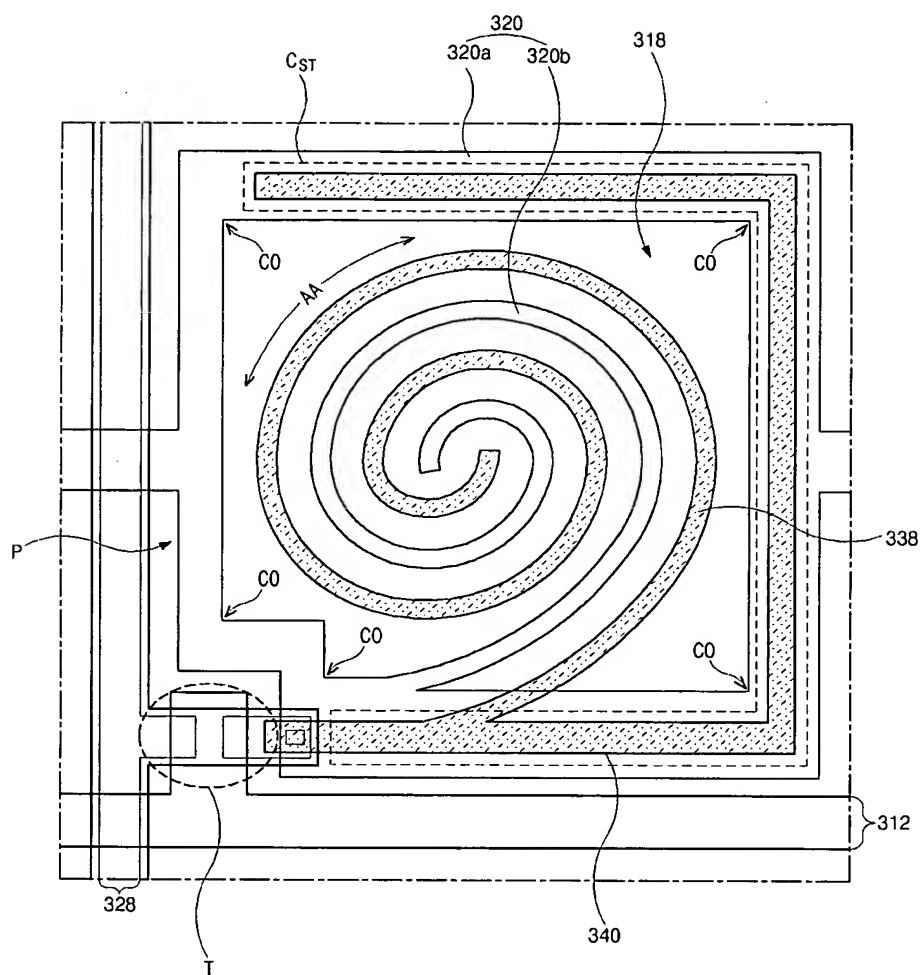
【도 7c】



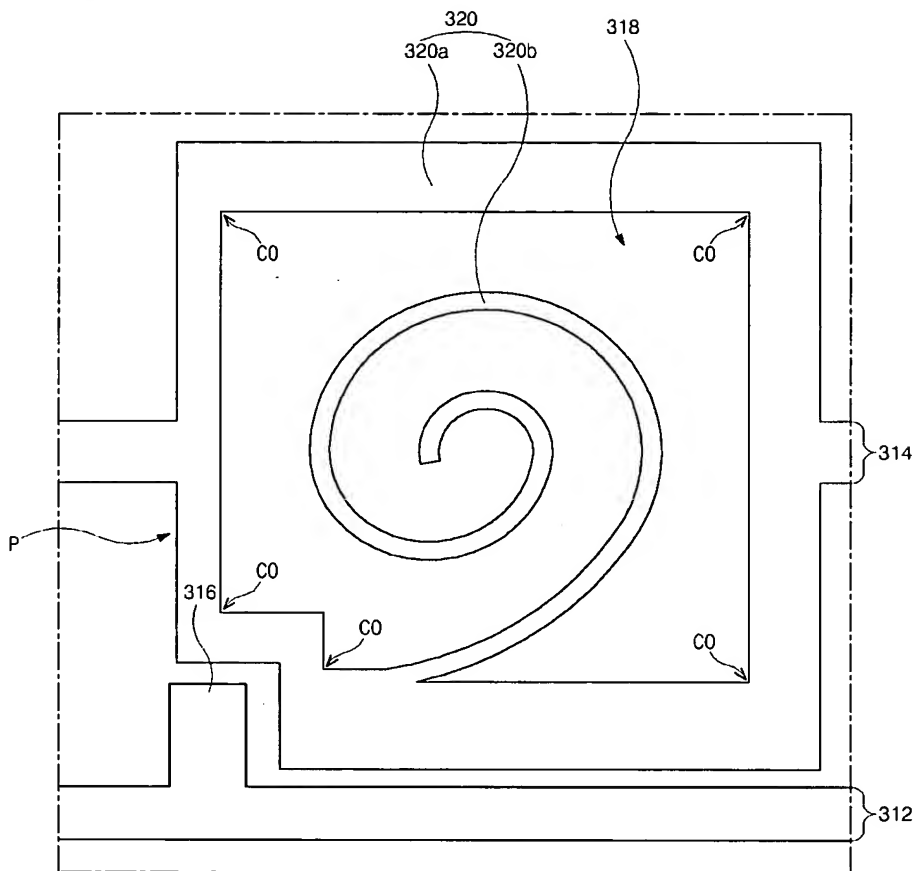
【도 7d】



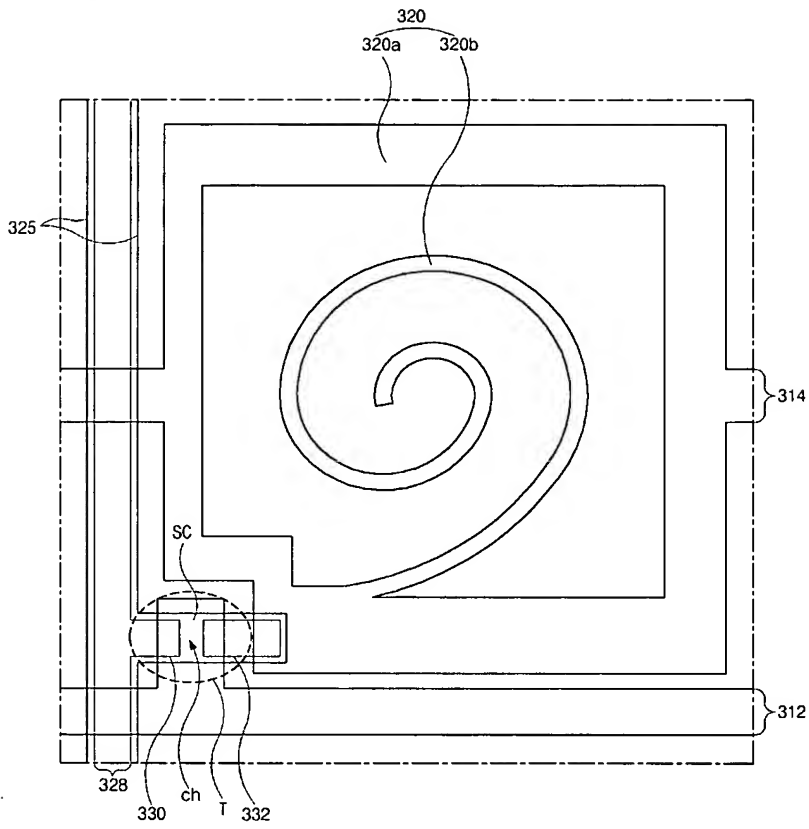
【도 8】



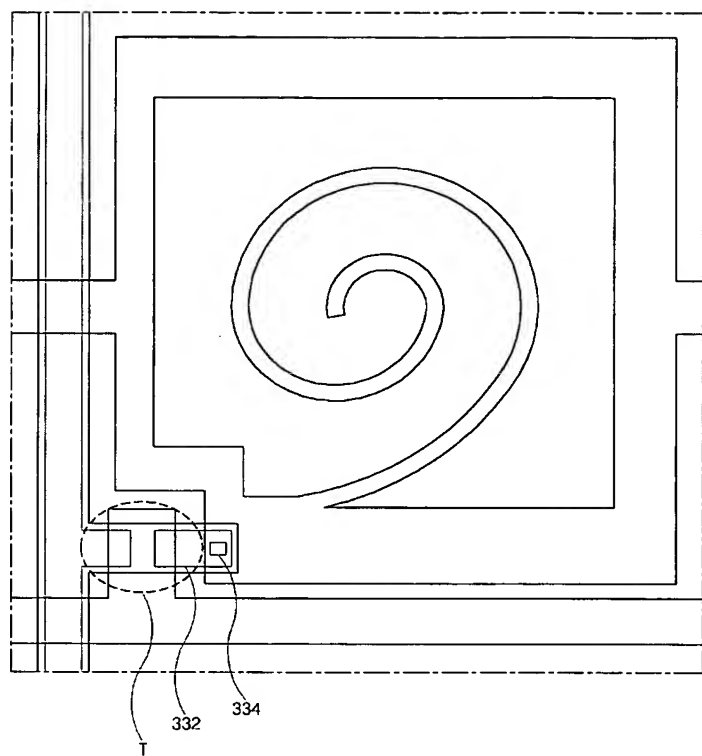
【도 9a】



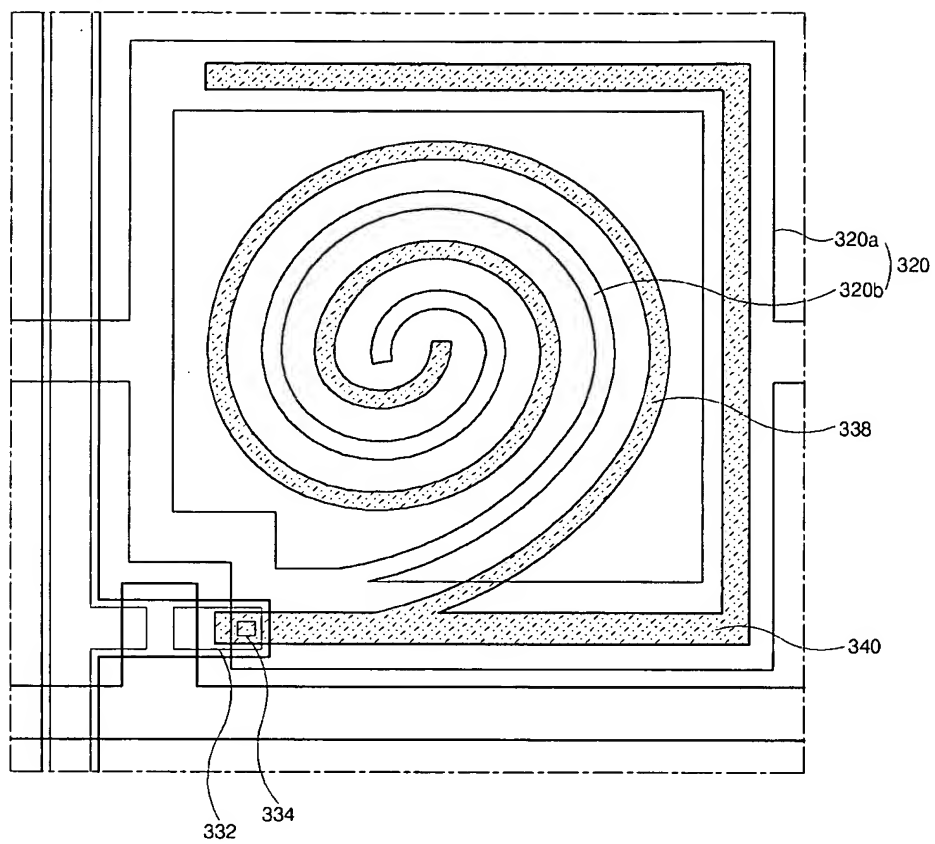
【도 9b】



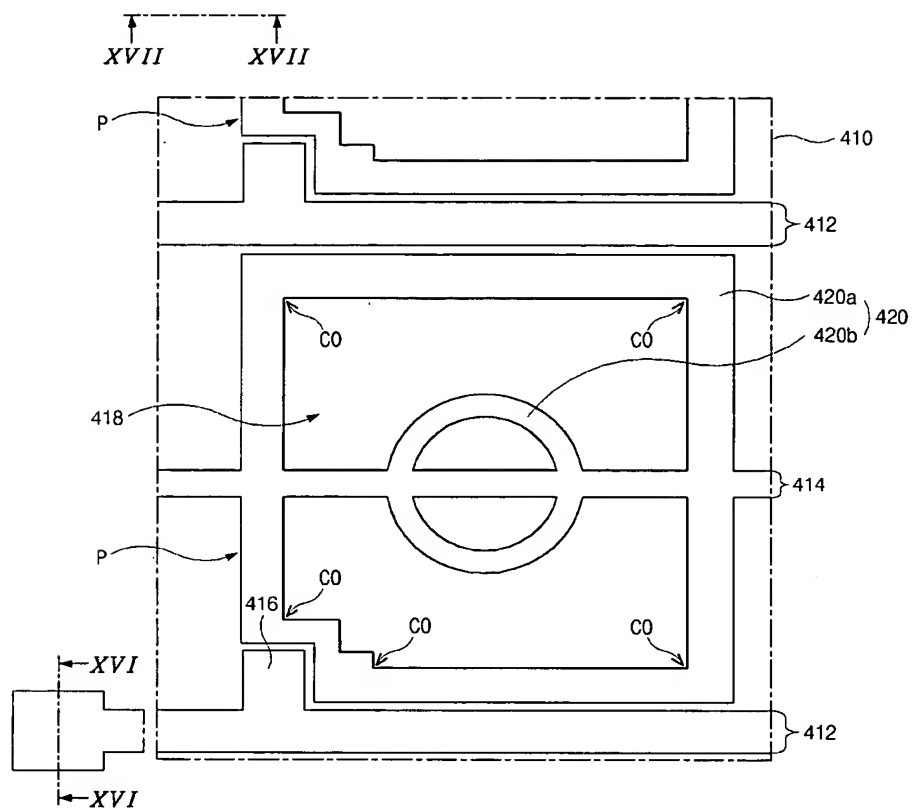
【도 9c】



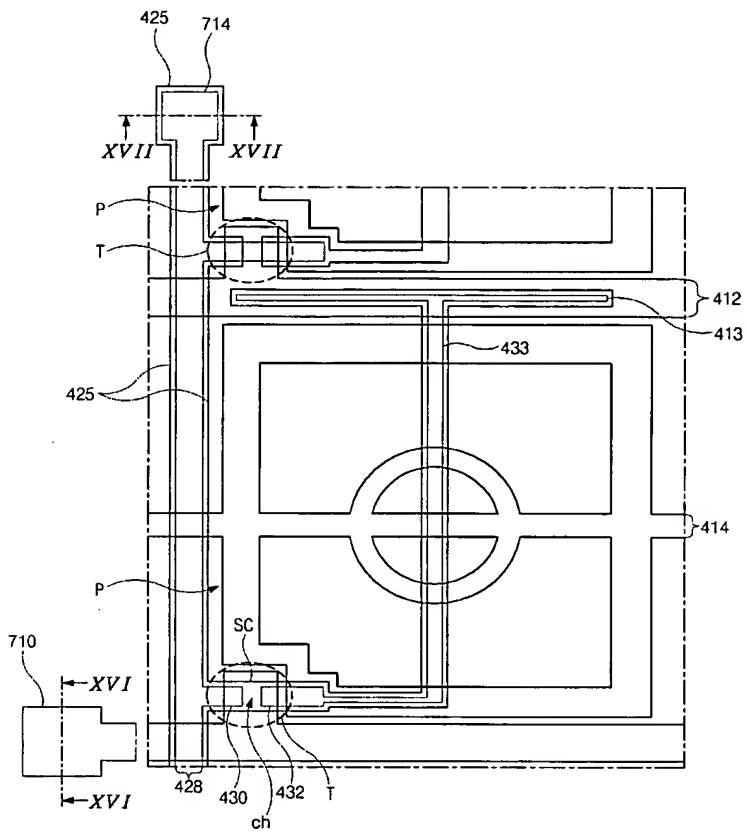
【도 9d】



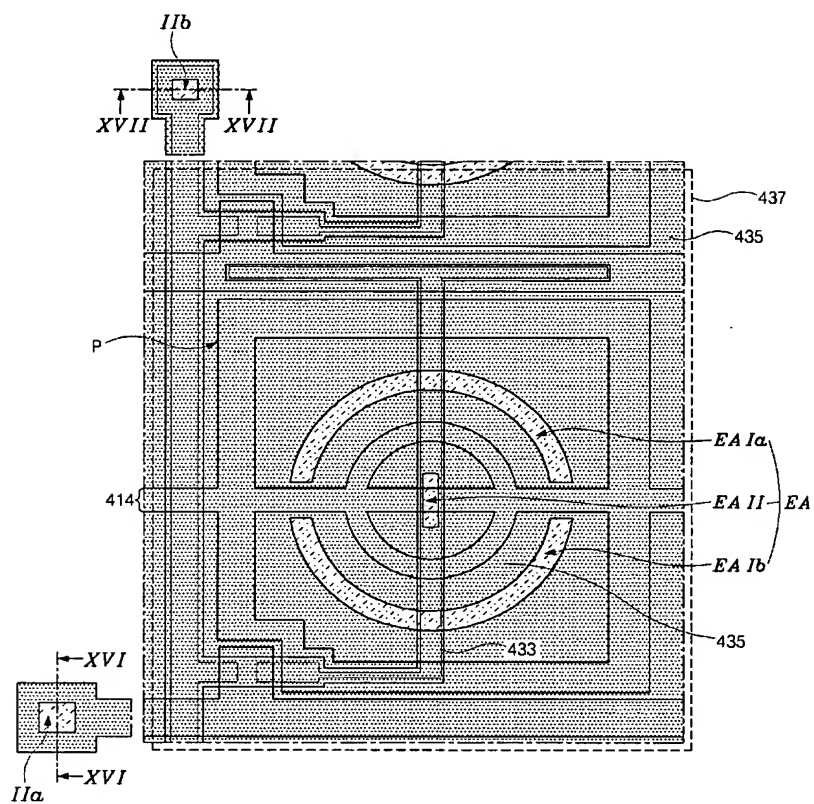
【도 10a】



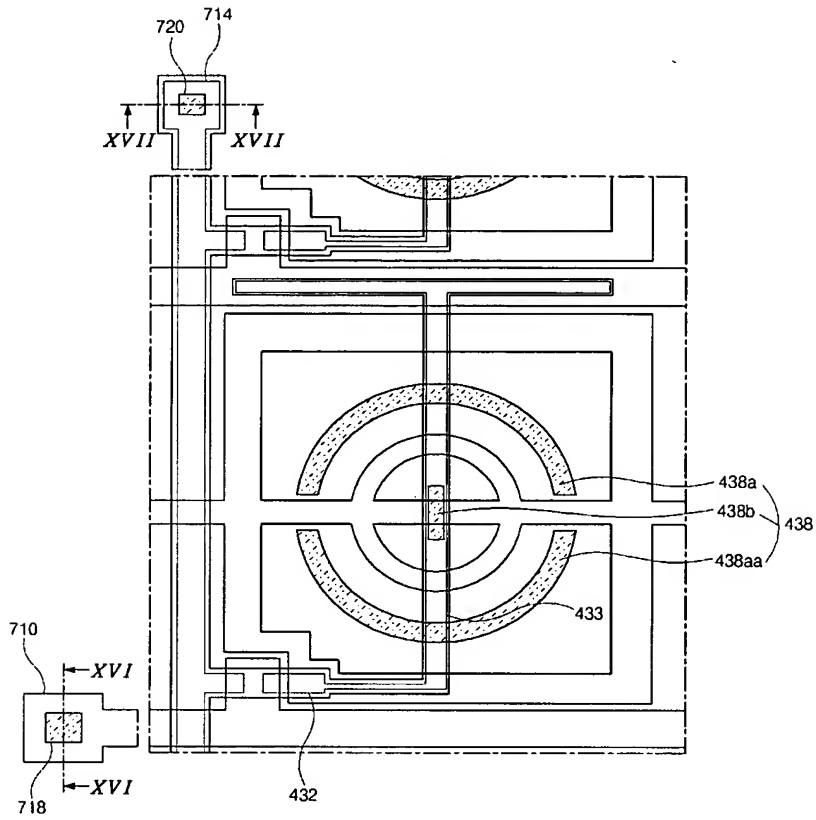
【도 10b】



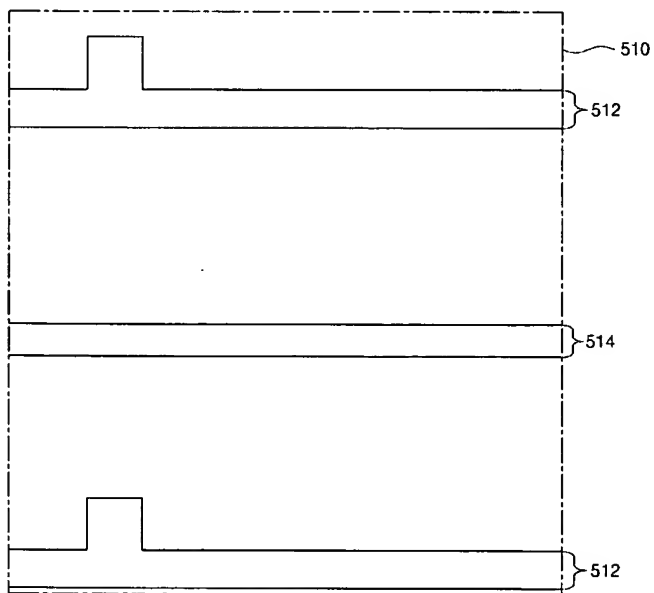
【도 10c】



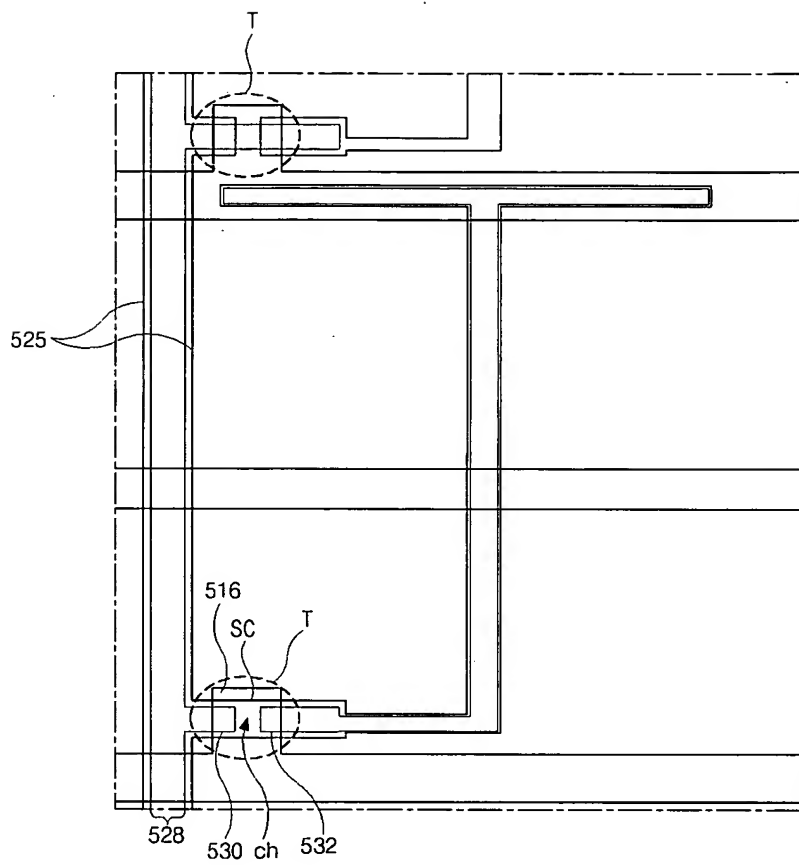
【도 10d】



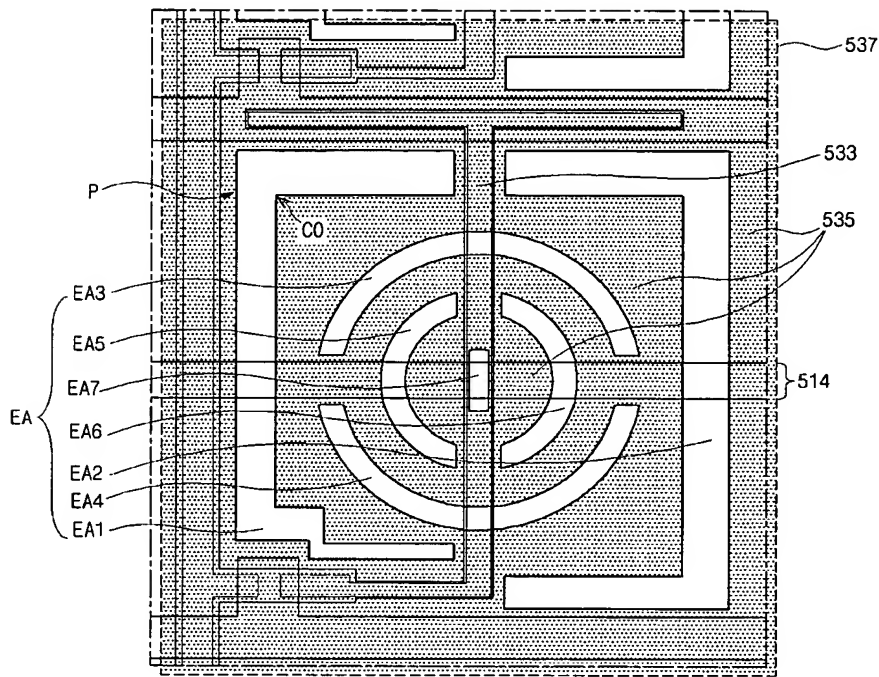
【도 11a】



【도 11b】

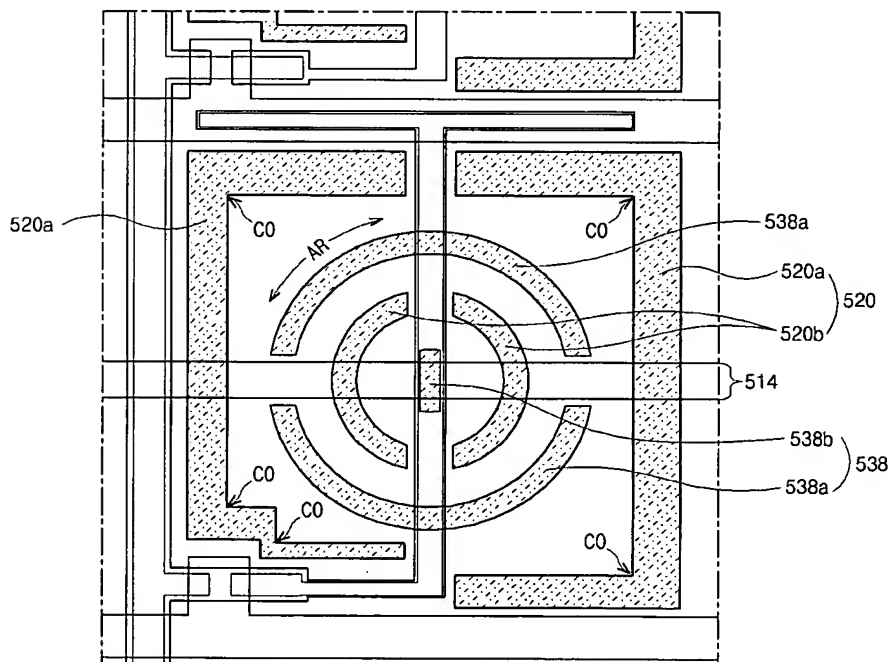


【도 11c】

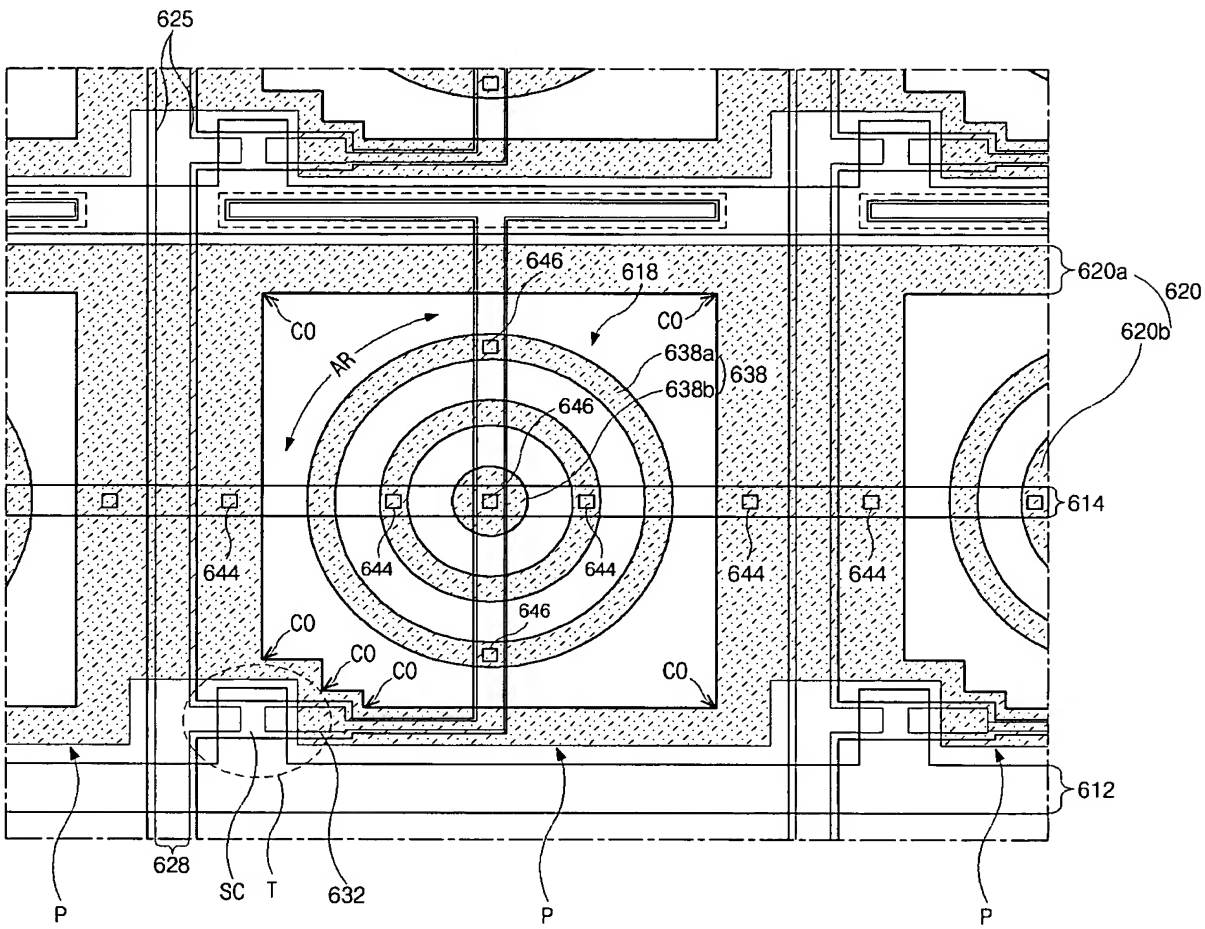


(EA영역의 게이트 절연막 물질 제거 및 투명 도전성 물질 전면 증착)

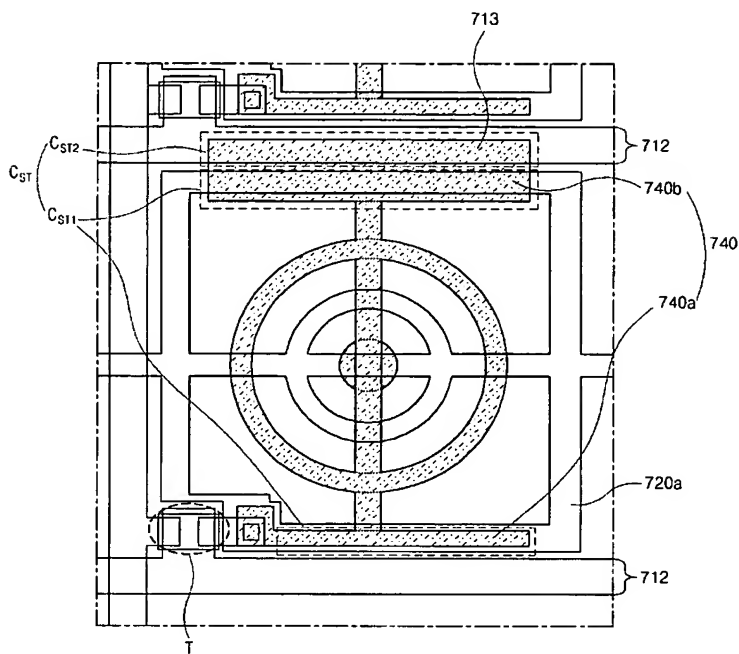
【도 11d】



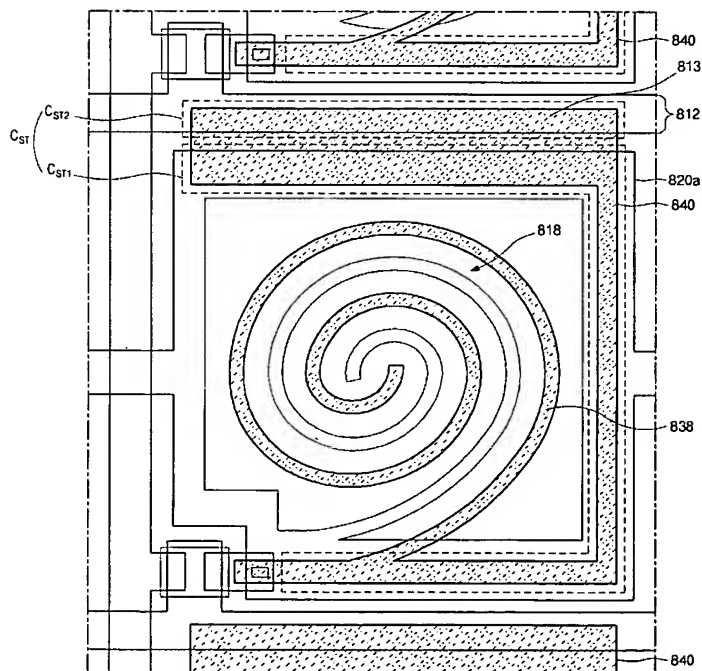
【도 12】



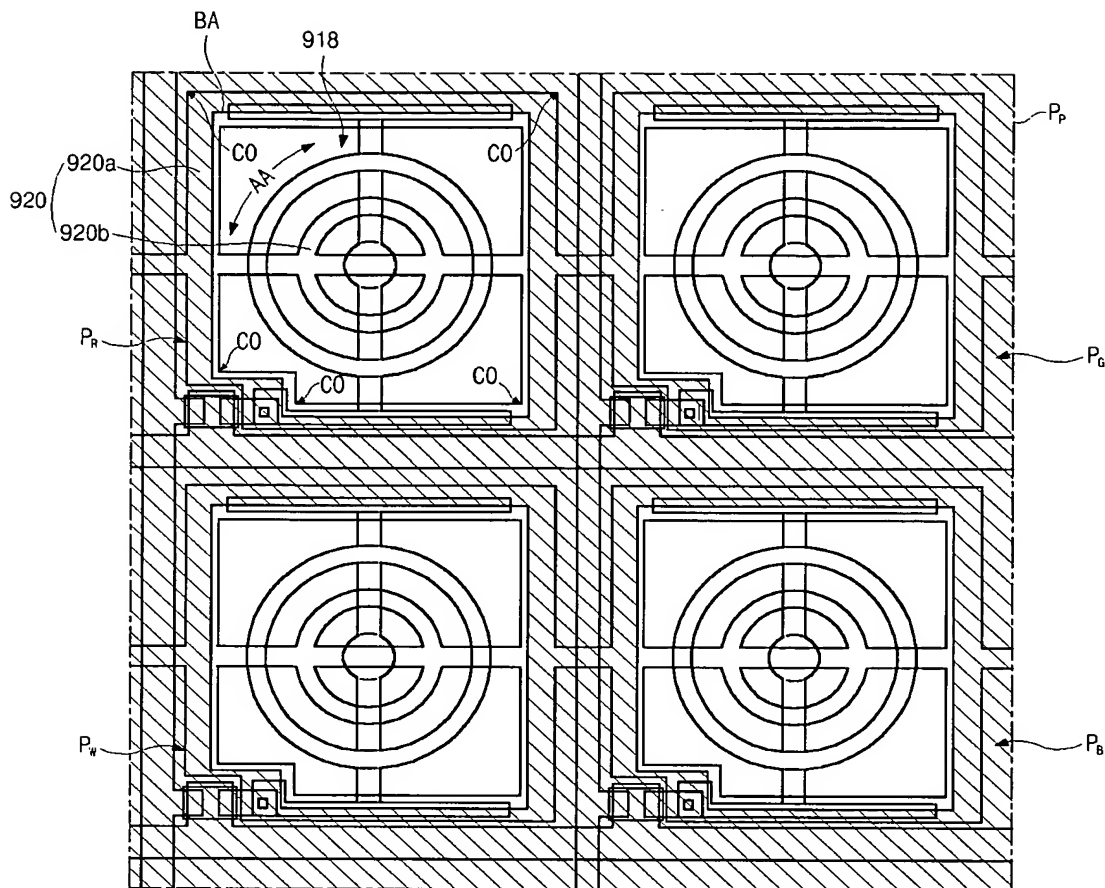
【도 13】



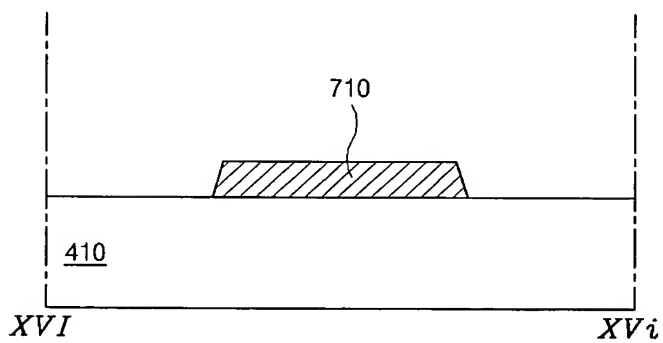
【도 14】



【도 15】

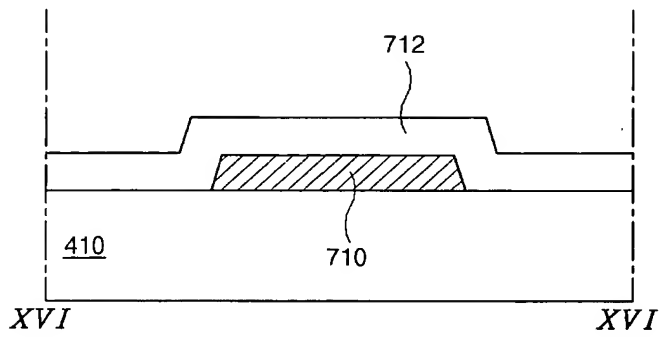


【도 16a】

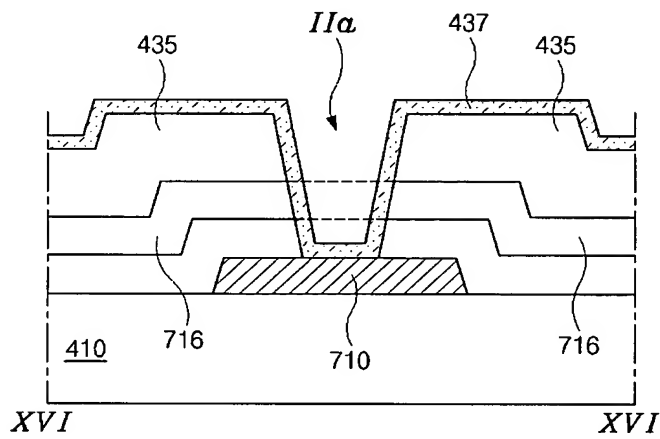




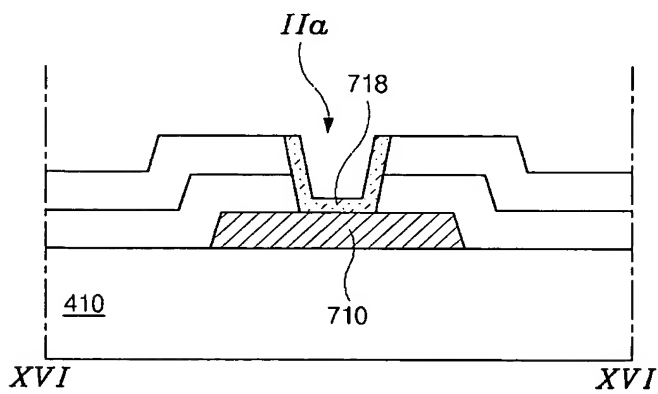
【도 16b】



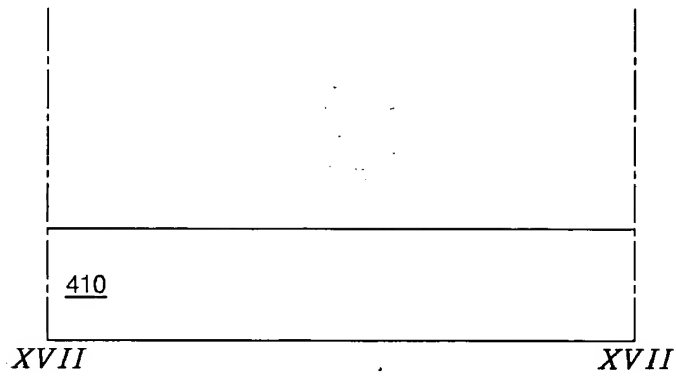
【도 16c】



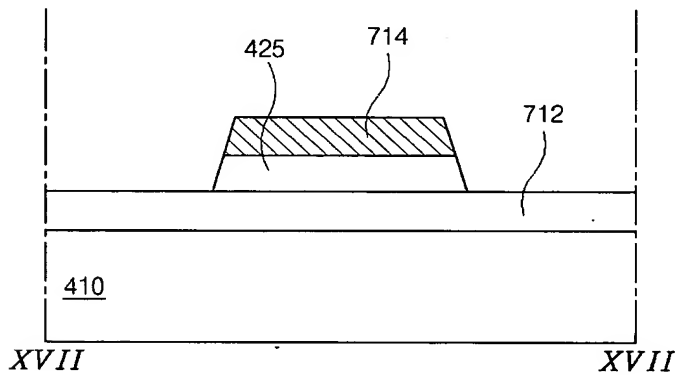
【도 16d】



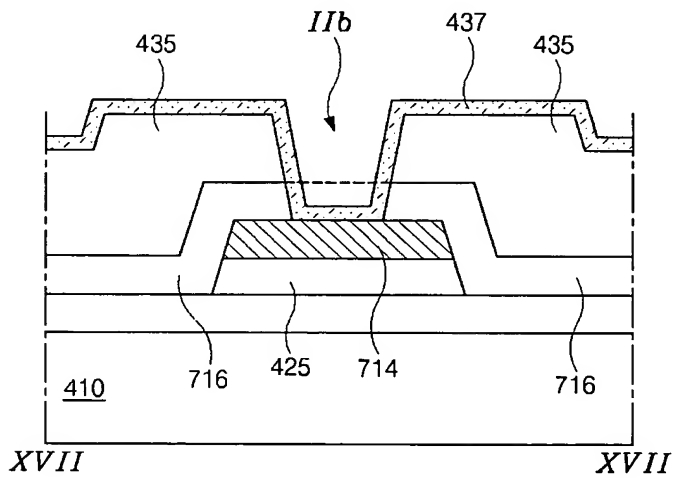
【도 17a】



【도 17b】



【도 17c】



【도 17d】

